

5102

SEPT 82 1 7

DESCRIPTION

The DMA processor controls the transfer of data between the memory modules and I/O-units, through the DataBoard bus system. (DMA=Direct Memory Access).

The maximum data rate is 300 KBytes/second, using 2.5 MHz system clock. The maximum block size is 64 KBytes.

Several I/O-units can be served, on at a time, by one DMA controller.

A DMA transfer uses interrupt logic and special hand-shaking lines where the interface controls the transfer, through the DMA processor.

The DMA works with "cycle-stealing". This means that the CPU is temporary prevented from using the memory during a DMA transfer of one byte, but the CPU can continue internal operations.

Between the DMA and the I/O interface the following signals are used:

	DMA	I/O
PREN*	<----	**)
PRAC*	----->	
TRRQ*	<----	
R/W*	<----	
TREN*	----->	

**) The PREN* signal is high only if no I/O unit request a DMA transfer. An I/O-unit can be set up to give an interrupt when the DMA is free, indicated by a high PREN* signal.

BESKRIVNING

DMA processorn styr dataflödet mellan minnesmodulerna och snabba I/O-enheter via DataBoard buss-systemet. (DMA = Direkt Minnes Access).

Maximala datahastigheten är 300 Kbytes/sekund, med 2.5MHz systemklocka. Största blockstorleken är 64 Kbytes.

Flera I/O-enheter kan hanteras, en åt gången, med en DMA styr-enhet.

DMA-överföring utnyttjar interrupt-logik och särskilda handskakningssignaler, varigenom interfacet styr överföringen genom DMA-processorn.

DMA arbetar med "cykel-stöld". Detta innebär att CPU temporärt hindras från att använda minnet under DMA överföring av en byte, men CPU kan fortsätta interna operationer under tiden.

Mellan DMA och interfacet används följande signaler:

	DMA	I/O
PREN*	<----	**)
PRAC*	----->	
TRRQ*	<----	
R/W*	<----	
TREN*	----->	

**) PREN*-signalen är hög så länge inget interface begär en DMA-överföring. Ett interface kan initieras att ge interrupt då DMA blir ledig, dvs. då PREN* är hög.

=====

INITIATE A TRANSFER

STARTA ÖVERFÖRING

1. The interface is initiated to pull the PREN* low and give interrupt as soon the DMA is free, which is as soon the PREN* signal goes high.

1. Interfacet initieras att ge interrupt och dra PREN* låg så snart DMA blir ledig, dvs. så snart PREN* går hög.

2. Memory start address is stored to the DMA address counter (16 bits).

2. Adressen till minnesarean, lagras i adress-räknaren på DMA. (16 bitar).

3. If a system with a memory access controller (MAC) is used, the address bits 16 and 17 are stored on the MAC card. These will automatically be updated by the DMA card when effected.

3. För system med en minnes access kontrollenhet (MAC), lagras adressbitarna 16 och 17 på MAC kortet. Dessa blir automatiskt uppdaterade från DMA kortet vid behov.

4. The block size, i.e. the number of bytes to transfer is stored to the DMA counter. The maximum block size is 64 KBytes (16 bits counter).

4. Blockstorleken, dvs. antal bytes att överföra, lagras till DMA kortets byte-räknare. Maximala blockstorleken är 64 Kbytes (16 bitars räknare).

5. The DMA is started.

5. DMA startas.

6. DMA will sense the PREN* signal and acknowledge by the PRAC* signal. From this point, the DMA is connected to one interface and released only by a command or when the PREN* signal goes high again.

6. DMA känner av PREN* signalen och kvitterar med PRAC*. Därefter är DMA ansluten endast till ett interface, tills förbindelsen bryts genom ett stoppkommando eller genom att PREN* går hög igen.

TRANSFER REQUEST

ÖVERFÖRINGSBEGÄRAN

1. The interface requests the DMA for transfer of one byte by the TRRQ* signal and sets the R/W* signal according to the data direction. The transfer will be done byte-by-byte, controlled by the interface and the CPU klockan.

1. Interfacet begär en överföring av en byte genom att sända TRRQ* signalen till DMA och sätta R/W* enligt den önskade överföringsriktningen. Överföringen sker alltid byte för byte, styrd av interfacet och av CPU klockan.

2. The DMA sends HOLD* to the CPU to request the memory bus lines.

2. DMA sänder HOLD* till CPU för att begära minnesbussen.

3. The CPU acknowledges by HOLDA* after completing of the current machine cycle.

3. CPU avslutar pågående operation, släpper bussen och kvitterar med HOLDA* signalen.

Information in this paper is subject to change without notice.

4. The DMA uses the CPU clock to send the following signals with the correct timing.
 -- DBFL* and ADRFL* to release the CPU data and address bus drivers.
 -- XCYCL*, which initiates memory request signals from the CPU card.
 -- MEMFL* or W* for memory access.
 -- TREN* signal to the interface which enables the transfer.

5. The DMA decrements the No. of Bytes counter. Note that if the number of bytes input from the interface is larger than requested from the DMA, these overflow bytes are not transferred to memory, but the hand-shaking signals continue towards the interface, until disabled by a high PREN* signal or a stop command. The CPU may detect an overflow by the status bit 0 on the DMA and may also read the No. of Bytes counter, which continues to count down, even after passing zero.

6. The DMA increments the address counter and releases the CPU and the busses until the next TRRQ* command, requesting the next byte transfer. The DCC and DCE signals controls the updating of the address bits 16 and 17 on the MAC card.

END OF TRANSFER

Alternatives are:

a) No. of Bytes counter on DMA reaches zero. No more data will be transferred, but the counter will still count down if the interface continues to request transfers. Status bit 1 will be 1 if the No. of Bytes counter is not zero.

4. DMA använder CPU klockan för att sända följande signaler i korrekt tidsföljd.
 -- DBFL* och ADRFL* för att CPU drivkretsarna ska släppa data och adress bussarna.
 -- XCYCL*, som initierar minnes access-sigalner från CPU-kortet för dynamiska RAM.
 -- MEMFL* och W* för minnes access.
 -- TREN* signal till interfacet varvid överföring sker.

5. DMA räknar ner byte räknaren. Om antalet överföringar, begärda av interfacet, är större än initierade blockstorleken kommer de överskjutande tecknen ej att överföras, men hand-skaknings-signalerna fortsätter att ges mot interfacet tills överföringen stoppas genom att PREN* går hög eller genom ett stopp kommando. Programmet kan detektera ett överskridande av blockstorleken i status bit 0 från DMA och kan även läsa av byte-räknaren, vilken fortsätter att räknas ner även efter att ha passerat noll.

6. DMA räknar upp adress-pekaren och släpper CPU och bussarna efter överföringen, tills nästa TRRQ* begäran. DCC och DCE signalerna styr uppräknningen av adress bitarna 16 och 17 på MAC-kortet.

AVSLUTNING AV ÖVERFÖRING

Alternativen är:

a) Byte räknaren på DMA går ner till noll. Inga fler data överförs, men byte-räknaren fortsätter att räkna ner om interfacet begär fler överföringar. Status bit 1 blir 1 då byte-räknaren har räknats ner under noll.

b) The PREN* signal goes high, releasing the DMA from the interface. The DMA is stopped.

b) PREN* signalen går hög, vilket stoppar och frigör DMA processorn.

c) The CPU stops the DMA by a stop command.

c) CPU stoppar DMA genom ett stopp-kommando.

The status of the DMA can be read any time, as well as the No.of Bytes counter value. The status bits 0 and 1 are used. See the INP 12 command.

DMA status kan läsas av när som helst, liksom byte-räknarens momentan-värde. Status bitarna 0 och 1 används. Se INP 12 kommandot.

CONTROL COMMANDS DMA II

STYRKOMMANDON DMA II

OUT 10 octal:

Store low byte of address pointer to the memory buffer.

OUT 10 oktalt:

Lagrar minst signifikanta byten av adresspekaren till minnesarean.

OUT 11 octal:

Store high byte of address pointer to the memory buffer.

OUT 11 oktalt:

Lagrar mest signifikanta byten av adresspekaren.

OUT 12 octal:

Store low byte of No.of Bytes to transfer.

OUT 12 oktalt:

Lagrar minst sign. byte av blockstorleken.

OUT 13 octal:

Store high byte of NO.of Bytes to transfer.

OUT 13 oktalt:

Lagrar mest sign. byte av blockstorleken.

OUT 14 octal:

DMA command byte.

Bit 4 : 0 Stop DMA
1 Start DMA

OUT 14 oktalt:

DMA kommando byte.

Bit 4 : 0 Stoppa DMA
: 1 Starta DMA

Bit 6 : 0 Up count direction
Default.

1 Down count direction
of address counter.

Bit 6 : 0 Öka adress pekaren
efter varje överföring
(Default)

: 1 Minska adress pekaren
efter överföring

OUT 14 oct. also resets the DMA status to a high level.

Out 14 återställer även DMA status till hög nivå, status bit 1 sätts låg om DMA startas.

Note that the address bits 16 and 17 may be used, but must be stored on the MAC card.

Obs! att adress bitarna 16 och 17 även kan användas, men lagras på MAC kortet.

```

=====
INP 10 octal:                               INP 10 oktalt:
Read low byte of the No.of                   Läser minst signifikanta byte
Bytes counter, i.e. the no. of               i byte-räknaren, dvs. antal
bytes left to transfer.                       bytes kvar att överföra.

INP 11 octal:                               INP 11 oktalt:
Read high byte of NO.of Bytes               Läser mest signifikanta byte
counter.                                    i byte-räknaren.

INP 12 octal:                               INP 12 oktalt:
Read DAM status bits.                       Läser DMA status.
Bit 0 : 0 No.of Bytes counter               Bit 0 : 0 Byte räknaren == 0
        is zero exact.                       : 1 Byte räknaren är större
        1 "-" is not zero.                   eller mindre än noll.

Bit 1 : 0 DMA is stopped                     Bit 1 : 0 DMA är stoppad
        1 DMA is active                       : 1 DMA är aktiv
=====

```

TECHNICAL DATA

Memory addressing:
 Using MAC card: 0-256 KBytes
 Without MAC : 0-64 KBytes

Block size:
 Max 64 KBytes

Data Rate:
 300 KBytes/second, using 2.5
 MHz clock and "cycle stealing".

Memory access:
 Memory access is controlled
 by the CPU card timing but
 no wait states for slow
 memories are supported.

Interfacing:
 All signals are buffered and
 TTL compatible.

Power:
 +5V +-5% mA

Connector:
 Standard 64 pin type B, two row
 Euroconnector (DIN 41612)

Size:
 Standard Eurocard 100*160 mm

Environment:
 Operating 0 - 55 degrees C

Buss connections:
 Requires a few extra wires in
 the backplane between the DMA
 card, the CPU card and the
 interface card slots.

TEKNISKA DATA

Minnes adressering:
 Med MAC-kort : 0-256 Kbyte
 Utan MAC-kort: 0-64 Kbyte

Blockstorlek:
 Max 64 Kbytes

Data hastighet:
 300 Kbytes/sekund, med 2.5
 MHz klocka och "cykelstöld".

Minnes access:
 Minnes access till dynamiska RAM
 styrs av kretsar på CPU kortet,
 men inga wait-states för
 långsamma minnen kan kännas av.

Interface:
 Alla signaler är buffrade och
 TTL kompatibla.

Kraftförsörjning:
 +5V +-5% mA

Busskontakt:
 Typ B, 64 stifts, två-radig
 hane, Europakontakt DIN 41612

Storlek:
 Europakort 100 x 160 mm

Omgivning:
 I funktion: 0 - 55 grader C

Bussanslutning:
 Kräver några extra ledningar i
 bakplanet mellan DMA, CPU och
 interfacet.

DMA II BUS SIGNALS

DMA II BUSS SIGNALER

Pin	Name	Description	Beskrivning
6A-13A		Data bus 8 bits	Databuss 8 bitar
14A-29A		Address bus 16 bits	Adressbus 16 bitar
To MAC card:			Till MAC kortet:
29B	DCC	DMA count clock	DMA räknepuls
30B	DCE	DMA count enable	DMA räknepuls-enable
From CPU:			Från CPU:
25B	STRINP*	INP strobe	INP strob
26B	STRUTP*	OUT strobe	UTP strob
5B	O*	CPU clock	CPU klockpulser
15B	HOLDA*	Acknowledge HOLD*	Svar på HOLD* signal
To CPU:			Till CPU:
16B	HOLD*	Request for mem.cycle	Begäran om minnescykel
22B	DBFL*	Release CPU data bus	Lösgör CPU databuss
24B	ADRFL*	Release CPU address bus	Lösgör CPU adressbuss
3B	XCYCL*	Requires the CPU card to send mem. request signals.	Begär simulerad minnes-access-signalering från CPU kortet.
To memory:			Till minnet:
4A	MEMFL*	Memory read strobe	Läs-strob för minnet
5A	W*	Memory write strobe	Skrivstrob till minnet
From Interface:			Från interfacet:
13B	PREN*	Request DMA.	Begäran av DMA.
10B	TRRQ*	Request a byte transfer.	Begär byte-överföring
11B	R/W*	Direction of transfer.	Överföringsriktning.
To Interface:			Till Interface:
12B	PRAC*	Acknowledge to PREN* from interface.	Svar på PREN* signal från interfacet.
9B	TREN*	Acknowledge to TRRQ* from interface. Given HOLDA* is received from the CPU card.	Svar på TRRQ* signal från interfacet. Ges efter att HOLDA* erhållits från CPU kortet.

BLOCK DIAGRAM

BLOCK SCHEMA

This block diagram shows how the DMA may be implemented in a system, with the signals controlling a DMA transfer.

Detta blockschema visar hur DMA kan implementeras i ett system, med signaler som styr DMA-överföringen.

