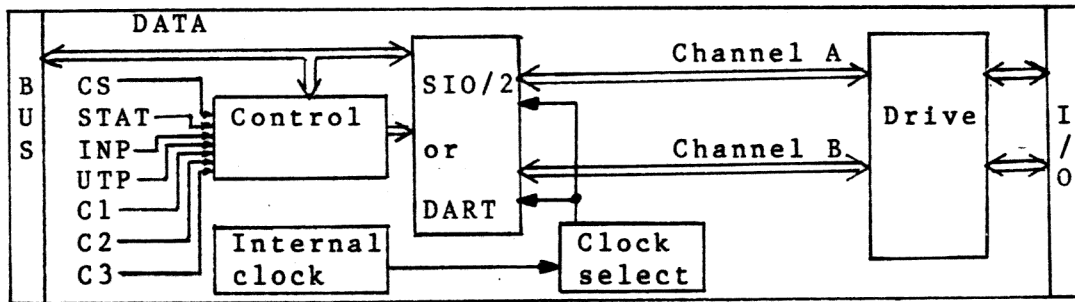


4110

SEPT 81 1 19



CONTENTS

1. Description
2. Technical Data
3. Technical description
4. I/O commands
5. Installation
6. Jumpers
7. Block diagram

INNEHÅLL

1. Beskrivning
2. Tekniska data
3. Teknisk beskrivning
4. I/O kommandon
5. Installation
6. Bygglingar
7. Blockdiagram

DESCRIPTION

-This 2-channel USART interface, with two independant full duplex serial channels, provides a direct interface to ASYNCHRONOUS as well as SYNCHRONOUS devices with V24 (RS232C) compatible signals.

-The on-board clock makes the interface independant of the computer system clock, but the internal clock must not have lower frequency than the computer system clock.

-Versions:

Standard: 4110/S with SIO/2,
Options: 4110/D with DART,
4110/S3 with Z80A-SIO/2,
4110/D3 with Z80A-DART,

-Up to 19200 Baud can be selected internally in asynchronous mode. Also split speed asynchronous communication can be used. The synchronous clock can be up to 500 KHz externally.

-The Zilog SIO/2 or the Zilog DART can be used. The SIO/2 can handle both asynchronous and synchronous communication. The DART can only handle asynchronous protocols.

BESKRIVNING

-Detta 2-kanals USART interface med två oberoende seriella kanaler med full duplex, kan kopplas till ASYNKRONA såväl som SYNKRONA enheter med V24 (RS232C) kompatibla signaler.

-Klockan på kortet gör interfacet oberoende av datorsystemets klocka, men den interna klockan får inte ha lägre frekvens än datorns systemklocka.

-Versioner:

2.5 MHz clock for DataBoard.
2.5 MHz clock for DataBoard.
3.0 MHz clock for ABC80.
3.0 MHz clock for ABC80.

-Upp till 19200 Baud kan väljas internt vid asynkron mod. Även tvåhastighetskommunikation kan användas. Den synkrona klockan kan vara upp till 500 KHz externt.

-Zilogs SIO/2 eller Zilogs DART kan användas. SIO/2 kan hantera både asynkron och synkron kommunikation, medan DART bara hanterar asynkron kommunikation.

TECHNICAL DATA

TEKNISKA DATA

Versions:	Standard:	4110/S with SIO/2, 2.5 MHz clock
	Optional:	4110/D with DART, 2.5 MHz clock
		4110/S3 with Z80A-SIO/2, 3.0 MHz clock
		4110/D3 with Z80A-DART, 3.0 MHz clock
		3 MHz versions are for ABC80.
Power supply		+5V +-5% 500 mA max, 380 mA typical
Spänningsmatning		+12V +-5% 100 mA max, 40 mA typical.
		-12V +-5% 100 mA max, 40 mA typical.
Bus connection		I/O side, B64 pin Euroconnector (plug)
Bussanslutning		DIN 41612.
I/O connector		Two 15-pin DA15P plugs on the card.
I/O kontakt		Optionally: One B 64-pin Euroconnector
		(DIN 41612)
Size		Standard single Eurocard 100 * 160 mm.
Storlek		
No. of channels		2 independant, full duplex.
Antal kanaler		2 oberoende, med full duplex.
Signal levels		V24(RS232C) serial transfer
Signalnivåer		seriell överföring
Asynchronous Baudrate		Internal: 19200, 9600, 4800, 2400, 1200, 300 and 75/1200 split speed.
		External: -Up to 500 KHz, limited by the V24 circuits to 100 KHz.
		Recieve/Transmit clocks are independant on both channels in SIO/2 but only on channel A in DART.
		-Upp till 500 KHz, begränsat av V24 kretsarna till 100 KHz.
		Sänd/Mottagningsklockorna är oberoende i båda kanalerna i SIO/2 men endast i kanal A i DART.
Synchronous clock		External: Up to 500(100) KHz. See above.
Internal system clock		2.5 Mhz for 4110/S and 4110/D
Systemklocka		3.0 MHz for 4110/S3 and 4110/D3
Com. protocols		- Asynchronous.
Kom.protokoll		- Synchronous: IBM Bisync, HDLC, SDLC and virtually any other.
		See the Zilog SIO/2 or DART data specification for details.
Programming		-This datasheet includes a general description. See the Zilog SIO/2 or DART specifications how to program them to achieve the desired function.
Programmering		-Detta datablad beskriver programmeringen generellt. Se Zilogs specifikation för SIO/2 eller DART för närmare detaljer.

TECHNICAL DESCRIPTION

- In general we refer to the Zilog product specification for details on the programming procedure.

External signal levels

- Between the chip and the I/O connector, inverting driver circuits are used to achieve full V24 (RS232C) compatibility.

I/O signals.

- The SYNCA and SYNCB signals, which are called RIA and RIB for the DART, are buffered as INPUTs. (Modification is possible as two free output circuits are available on the card.) A 4.7 Kohm resistor is connected serially on the SYNCA and SYNCB input lines to protect the chip if the SYNCA or SYNCB is programmed as outputs by mistake.

- For other I/O signals, see the block diagram.

SIO/2 or DART signals.

- Either the SIO/2 or the DART can be used, provided that the jumpers S7..S12 are set accordingly. The signal differences between SIO/2 and DART in asynchronous mode is mainly that SIO/2 has no "Ring-indicator" input on channel B, while the DART can not have separate clocks for receive and transmit on channel B.

Baudrate/Rec.-Trans.clock.

- The receive/transmit frequencies are selected by the jumpers S1 and S2. When the internal clock is used, the receive and the transmit clocks are equal except for the 75/1200 baud setting.

TEKNISK BESKRIVNING

- Generellt hänvisar vi till Zilogs produktspecifikation för detaljer om programmeringsproceduren.

Externa signalnivåer.

- Mellan chipet och I/O-kontakten används inverterande drivkretsar för att erhålla full kompatibilitet med V24 (RS232C).

I/O signaler.

- SYNCA och SYNCB signalerna, som kallas RIA och RIB för DART, är buffrade som INPUT. (Modifiering är möjlig då två fria outputkretsar finns på kortet.) Ett 4.7 Kohm motstånd är kopplat i serie med SYNCA och SYNCB för att skydda chipet vid felprogrammering så att SYNCA or SYNCB blir utgångar.

- För övriga I/O signaler, se blockdiagrammet.

SIO/2 or DART signaler.

- Antingen SIO/2 eller DART kan användas. Bygling S7 ... S12 anpassar kortet till typen.

Skillnaden mellan SIO/2 och DART i asynkron mod är i huvudsak att SIO/2 inte har "Ring-indicator"-input på kanal B, medan DART inte kan ha olika klockfrekvenser för sänd- och mottagn.klockan i i kanal B.

Baudrate/Sänd-Mottag.klocka.

- Byglingarna S1 och S2 väljer sändings/mottagnings frekv. Sändnings och mottagningsklockan är samma då den interna klockan används, med undantag för inställningen 75/1200 baud.

-The 75/1200 Baud setting means 75 Baud receive/1200 Baud transmit, as for a "Viewdata" central computer with a data base. Only channel B (for SIO/2) can be set to 1200/75 Baud, as for a lokal "Viewdata"-terminal. To do this the jumpers S7,S8,S9 are cross-connected.(See below).

-Baudrate.(Asynchronous mode). The baudrate is selected by
1: Jumpers S1(chan.B) or S2(chan. A).
2: Baudrate factor
The jumpers are described below.
The baudrate factor is a software programmable factor, (16 or 64) by which the clock frequency is divided to achieve the bit transfer rate.

-In synchronous mode the baudrate factor shall always be 1 and external clock must be used, as no clock signal is available on the I/O plug.

System clock.

-The system clock for the SIO/2 (or DART) is internal on the 4110, but must be equal to or greater than the computer system clock.

The crystal frequency and the jumpers S3 and S4 select the internal system clock frequency.

As the send/receive clock also depend on the crystal, the jumpers S5 and S6 must be adjusted and the counter chip in position 3C may be necessary to exchange to achieve the standard 614.4 KHz in to the Baudrate-select circuits.

For higher system clock frequencies than 2.5 MHz, the Z80A-SIO/2 (or Z80A-DART) must be used.

-Inställningen 75/1200 Baud innebär 75 Baud mottagning och 1200 Baud sändning, som för en "Viewdata" central dator med en databas. Endast kanal B (med SIO/2) kan ställas in på 1200/75 Baud, som för en lokal "Viewdata"-terminal. För att göra detta korskopplas byglingarna S7,S8,S9. (Se nedan).

-Baudrate.(Asynkron mod). Baudrate väljs med byglingarna
1: Bygling S1(kanal B) eller S2(kanal A).
2: Baudrate faktor.
Byglingarna beskrivs nedan.

Baudrate-faktorn programmeras till 16 eller 64, varvid klockfrekvensen divideras med den för att ge bit-överföringshastigheten.

-I synkron mod skall baudrate faktorn vara 1 och extern klocka måste användas eftersom ingen klocksignal finns i I/O kontakten.

Systemklockan.

-Systemklockan för SIO/2 är intern på 4110, men måste vara lika med eller större än datorns systemklocka.

Kristallfrekvensen och byglingarna S3 och S4 väljer den interna systemklockans frekvens.

Eftersom sänd/mottagningsklockorna också beror av kristallen, måste byglingarna S5 och S6 justeras och eventuellt måste räknarkretsen i position 3C bytas för att erhålla 614.4 KHz som standard in på Baudrate-select kretsarna.

För högre klockfrekvenser än 2.5 MHz måste Z80A-SIO/2 (eller Z80A-DART) användas.

I/O COMMANDS

I/O KOMMANDON

```

-----
CS                               Select card and channel (A or B)
Assemb. OUT 1                   Bit 6=0 - Channel A
Fortran OUTPUT(1)=A            Bit 6=1 - Channel B
Basic   OUT 1,A
Pascal  OUT(1,A)               Välj kort och kanal (A eller B).
-----
INP DATA                       Input data from the selected channel.
Assemb. INP 0
Fortran A=INPUT(0)             Läs in data från vald kanal.
Basic   A=INP(0)
Pascal  A=INP(0)
-----
OUT DATA (UTP)                 Write data to the selected channel.
Assemb. OUT 0
Fortran OUTPUT(0)=A           Skriv data till vald kanal.
Basic   OUT 0,A
Pascal  OUT(0,A)
-----
INP STAT                        a) Normally:
Assemb. INP 1                  Read a control register from the SIO/2
Fortran A=INPUT(1)             (or DART). Only the control register
Basic   A=INP(1)               RR0 can be read directly. If RR1 or RR2
Pascal  A=INP(1)               shall be read, a pointer must be
                                stored in the write register WRO
                                (bit 0-2) first, using the C1 command.
                                b) Direct after a C2-command:
                                C2 + STAT is an "INTERRUPT ACKNOWLEDGE"
                                command, reading the modified(if
                                enabled) interrupt vector.

                                a) Normalt:
                                Läser ett kontrollregister från SIO/2
                                (eller DART). Endast RR0 kan läsas
                                direkt. Om RR1 eller RR2 ska läsas,
                                måste först en pekare skrivas till
                                skriv-registret WRO(bit 0-2), med
                                kommandot C1.
                                b) Direkt efter ett C2-kommando:
                                C2 + STAT är ett "INTERRUPT ACKNOWLEDGE"
                                kommando, som läser in interruptvektorn,
                                modifierad om detta är aktiverat.
-----

```

=====

C1	Write a control register into the
Assemb. OUT 2	selected channel.
Fortran OUTPUT(2)=A	Only the control register WRO can be
Basic OUT 2,A	written to directly. If other control
Pascal OUT(2,A)	registers shall be written to, a pointer
	must be stored in WRO(Bits 0-2) first.

Skriv till ett kontrollregister i den valda kanalen.
Endast till WRO kan man skriva direkt.
När andra kontrollregister ska skrivas till, måste först skrivas en pekare till kontrollregister WRO (bit 0-2) med C1 kommandot.

C2	Preset the Interrupt Acknowledge Flag for
Assemb. OUT 3	a following INP STAT command.
Fortran OUTPUT(3)=A	Warning! No other command than an INP STAT
Basic OUT 3,A	may be given to the 4110 after a C2
Pascal OUT(3,A)	command.

Förinställ Interrupt Acknowledge flaggan för ett följande INP STAT kommando, som ska vara ett INTERRUPT ACKNOWLEDGE.
Varning! Inget annat kommando än INP STAT får ges till 4110 efter ett C2 kommando.

C3	With data=70 octal, this is the "RETURN-
Assemb. OUT 4	FROM-INTERRUPT" command to the 4110.
Fortran OUTPUT(4)=A	This must be used instead of the RETI
Basic OUT 4,A	instruction after servicing an interrupt
Pascal OUT(4,A)	from the 4110, to reset the "daisy-chain"
	for interrupts internally in the SIO/2
	or DART.
	Generally the C3 command writes to
	a control register in channel A,
	independant of the channel selected by
	the CS command.

Med data=70 oktalt är C3 "RETURN-FRÅN-INTERRUPT" kommandot, som måste ges till 4110 efter att ett interrupt från kortet har åtgärdats, för att återställa den interna interrupt-enable kedjan "daisy-chain" som finns i SIO/2 (el.DART).
Z80:s RETI instruktion kan ej användas.
Generellt skriver C3-kommandot till kanal A kontrollregister, oberoende av kanalval.

RST	Resets the SIO/2 (or DART). Communication
Assemb. INP 7	is disabled. The control registers must
Fortran A=INPUT(7)	be rewritten after a reset, before
Basic A=INP(7)	communication can be started again.
Pascal A=INP(7)	
	Gör RESET av SIO/2 (eller DART).
	All kommunikation stängs av. Alla
	kontrollregister måste skrivas in på
	nytt efter en reset, innan kommunikationen
	kan startas.

* For Assembler, the data is i reg. A for INP,OUT commands.

SIO/2 (DART) CONTROL REGISTERS

-Write registers, controlling the function. One set per channel except WR2, which always are written to channel B.

WR0: Direct commands and a register pointer, selecting register to access with the next command.

WR1: Transmit/Receive data and interrupt mode definition.

WR2: Interrupt vector. Only one, common for the card, stored as a channel B register.

WR3: Receive parameters and control.

WR4: Transmit/Receive modes and parametrar.

WR5: Transmit parameters and control.

-For SIO/2 only, also the following registers are available:

WR6: Sync. character or SDLC address field.

WR7: Sync. character or SDLC flag.

-Read registers, with status information. One set per channel except RR2, which is only read from channel B.

RR0: Transmit/Receive buffer status.

RR1: Special receive status.

RR2: Modified Interrupt Vector, always read from channel B.

SIO/2 (DART) KONTROLLREGISTER

-Skrivregister, som styr funktionen. En uppsättning per kanal utom WR2, som alltid skrivs till kanal B.

WR0: Direktkommandon samt registerpekare, som pekar på det register som skall användas i nästa kommando.

WR1: Sänd/Mottagning data och interrupt mod definition.

WR2: Interrupt vektor. Endast en gemensam för kortet, lagras som ett kanal B register.

WR3: Parametrar och styrning av mottagning.

WR4: Sänd/Mottagnings mod och parametrar.

WR5: Parametrar och styrning av sändning.

-Endast för SIO/2 är följande register tillgängliga:

WR6: Sync. tecken eller SDLC adress fält.

WR7: Sync. tecken eller SDLC flagga.

-Läsregisters med status information. En uppsättning per kanal utom för RR2, som endast läses från kanal B.

RR0: Sänd/Mottagnings buffer status.

RR1: Särskild mottagningsstatus.

RR2: Modifierad interrupt vektor. Läses alltid från kanal B.

REGISTER BIT ASSIGNMENT

REGISTER BIT FUNKTIONER

READ REGISTER 0

LÄSREGISTER 0

7 6 5 4 3 2 1 0 Bit

x--Rx character available

x-----INT pending (Read from Ch.A only)

x-----Tx buffer empty

x-----DCD

x-----SYNC/HUNT

x-----CTS

x-----Sending CRC/SYNCS

x-----Break/Abort

READ REGISTER 1

LÄSREGISTER 1

7 6 5 4 3 2 1 0 Bit

x--All sent

I-field bits
in previous
byteI-field bits in
second previous
byte

1 0 0

0

3

0 1 0

0

4

1 1 0

0

5

Residue

0 0 1

0

6

data for

1 0 1

0

7

8 Rx bits/

0 1 1

0

8

character

1 1 1

1

8

programmed.

0 0 0

2

8

x-----Parity error

x-----Rx overrun error

Special Rx

x-----CRC/Framing error

condition

x-----End-of-Frame(SDLC)

interrupts

READ REGISTER 2

LÄSREGISTER 2

(Always read from Ch.B)

(Läses alltid från kanal B)

7 6 5 4 3 2 1 0 Bit

x--V0

x-----V1

x-----V2

x-----V3

x-----V4

x-----V5

x-----V6

x-----V7

Interrupt vector

Modified if STATUS-AFFECTS-VECTOR
is set!

REGISTER BIT ASSIGNMENT

REGISTER BIT FUNKTIONER

WRITE REGISTER 0

SKRIVREGISTER 0

7	6	5	4	3	2	1	0	Bit
					0	0	0	Register 0 pointer
					0	0	1	1
					0	1	0	2
					0	1	1	3
					1	0	0	4
					1	0	1	5
					1	1	0	6
					1	1	1	7

0	0	0	-----					Null code (no action)
0	0	1	-----					Send abort (SDLC)
0	1	0	-----					Reset Ext. status interrupts
0	1	1	-----					Channel reset
1	0	0	-----					Reset RxINT on first character
1	0	1	-----					Reset TxINT pending
1	1	0	-----					Error reset
1	1	1	-----					Return from interrupt (CH.A only)
0	0	-----						Null code
0	1	-----						Reset Rx CRC checker
1	0	-----						Reset Tx CRC generator
1	1	-----						Reset CRC/SYNCS sent/sending latch

WRITE REGISTER 1

SKRIVREGISTER 1

7	6	5	4	3	2	1	0	Bit
								x--Ext. INT enable
								x-----Tx INT enable
								x-----STATUS-AFFECTS-VECTOR (Ch.B only!)
				0	0	-----RxINT disable		
				0	1	-----RxINT on first char. only or error.		
				1	0	-----INT on all Rx characters(Parity affects vector.)		
				1	1	-----INT on all Rx characters(Parity does not affect vector.)		
								x-----Wait/Ready on R/T
								x-----Wait FN/Ready FN
								x-----Wait/Ready enable

WRITE REGISTER 2

SKRIVREGISTER 2

(Only written to channel B)

(Skrivs bara till kanal B)

7	6	5	4	3	2	1	0	Bit
								x--V0
								x-----V1
								x-----V2
								x-----V3
								x-----V4
								x-----V5
								x-----V6
								x-----V7

Interrupt vector

WRITE REGISTER 3

SKRIVREGISTER 3

```

7 6 5 4 3 2 1 0 Bit
      x--Rx enable
      x-----Sync character load inhibit
      x-----Address search mode (SDLC)
      x-----Rx CRC enable
      x-----Enter hunt mode
      x-----Auto enables.
0 0-----Rx 5 bits/character
0 1-----Rx 7 bits/character
1 0-----Rx 6 bits/character
1 1-----Rx 8 bits/character

```

WRITE REGISTER 4

SKRIVREGISTER 4

```

7 6 5 4 3 2 1 0 Bit
      x--Parity enable
      x-----Parity EVEN(1)/ODD(0)
0 0-----Sync modes enable
0 1-----1 stop bit/character
1 0-----1 1/2 stop bit/character
1 1-----2 stop bits/character
0 0-----8 bit sync character
0 1-----16 bit sync character
1 0-----SDLC mode (0111 1110 Sync flag)
1 1-----External sync mode
0 0-----x1 clock mode
0 1-----x16 clock mode
1 0-----x32 clock mode
1 1-----x64 clock mode

```

WRITE REGISTER 5

SKRIVREGISTER 5

```

7 6 5 4 3 2 1 0 Bit
      x--Tx CRC enable
      x-----RTS
      x-----SDLC/CRC-16
      x-----Tx enable
      x-----Send Break.
0 0-----Tx 5 bits (or less)/character
0 1-----Tx 7 bits/character
1 0-----Tx 6 bits/character
1 1-----Tx 8 bits/character
x-----DTR

```

WRITE REGISTER 6 (ONLY SIO/2)

SKRIVREGISTER 6 (ENDAST SIO/2)

```

7 6 5 4 3 2 1 0 Bit
      x--Sync bit 0
      x-----Sync bit 1      Also SDLC address
      ..... etc..           field.
x-----Sync bit 7

```

WRITE REGISTER 7 (ONLY SIO/2)

SKRIVREGISTER 7 (ENDAST SIO/2)

```

7 6 5 4 3 2 1 0 Bit
      x--Sync bit 8
      x-----Sync bit 9      For SDLC it must be
      .....etc.....         0111 1110 for flag
x-----Sync bit 15           recognition.

```

READING/WRITING CONTROL REG.

LÄSNING/SKRIVNING AV REGISTER

-Before access to the 4110 card, the card select command must open the card for communication. With the CS command, also the channel is selected.

-Innan kommandon till 4110 kan sändas öppnas kortet med ett "card-select" kommando, som även väljer kanal inom kortet.

-WRO and RRO can be accessed directly with the C1 or the STAT command.

-WRO och RRO kan läsas/skrivas direkt med C1 eller STAT kommandot.

OUT C1 to WRO
INP STAT from RRO

-To read or write from/to another register, a register pointer (0-7) must be given in the WRO register bits 0-2.

-För att läsa/skriva från/till ett annat register måste en registerpekare (0-7) skrivas i WRO registret bit 0-2.

OUT C1 with a pointer p = 0 - 7.
INP STAT to read register RRp
or OUT C1 with the data to write to WRp.

The bits 0-2 in the pointer gives the register number. The bits 3-7 must be zero. If the bits 3-7 is non-zero, they are instead stored in WRO.

Bitarna 0-2 i pekaren ger registernumret. Bitarna 3-7 ska då vara noll. Om bitarna 3-7 ej är noll, lagras de i stället i WRO.

The register pointer is cleared as soon as it has been used.

Registerpekaren raderas så snart den använts.

-Example:

Initiate the SIO/2 port A to Asynchronous communication 1200 Baud, 8 data bits, one stop bit, no parity.

-Exempel:

Initiera SIO/2 port A till Asynkron kommunikation 1200 Baud, 8 databitar, en stoppbit, ingen paritet.

OUT CS with data = 5 (Channel A-> bit6=0)
OUT C1 with data = 0 (Clear SIO)
OUT C1 with data = 3*8 (Channel reset)
OUT C1 with data = 3 (Pointer to reg 3)
OUT C1 with data = 0C1H (Reg.3: 8 databits, enable receiver)

OUT C1 with data = 4 (Pointer to reg 4)
OUT C1 with data = 44H (No parity, one stop bit, Baudrate factor 16.)

The switch S2 on the 4110 shall be set to 1.2 Kbaud.

OUT C1 with data = 5 (Pointer to reg 5)
OUT C1 with data = 68H (8 databits, enable transmitter)

HANDLING INTERRUPTS

HANTERING AV INTERRUPT

-In the SIO/2 (or DART), an Interrupt Vector can be stored in the register WR2, with channel B selected. This vector holds for all functions on the card, but the SIO/2 (or DART) can be programmed to modify the interrupt vector before sending the vector at an Interrupt Acknowledge command. With this modification different interrupt service routines can be called depending on the type of interrupt.

-I SIO/2 (eller DART) kan en Interruptvektor lagras i registret WR2, med kanal B vald. Denna vektor gäller alla funktioner på kortet, men SIO/2 (eller DART) kan programmeras att modifiera interrupt vektorn innan den sänds vid ett Interrupt Acknowledge kommando. Med denna modifikation kan olika interrupt rutiner anropas beroende på vilken typ av interrupt som skett.

-The interrupt vector is stored with:

OUT CS	Select card and channel B
OUT C1	data = 2 Pointer to WR2
OUT C1	data = vector

-Interruptvektorn lagras med:

-The STATUS-AFFECTS-VECTOR bit in channel B, WR1, BIT 1 indicates if the vector shall be modified by the SIO(or DART) depending on the cause of the interrupt.

-STATUS-AFFECTS-VECTOR biten i kanal B, WR1, bit 1 anger om vektorn ska modifieras av SIO (eller DART) beroende på orsaken till interruptet.

-Bits 1-3 in the modified interrupt vector indicates:

Bit 3	:	0	--	Channel B
		1	--	Channel A
Bit 1,2	:	0	--	Transmit buffer empty interrupt
		1	--	External/Status change interrupt
		2	--	Receive character available
		3	--	Special receive condition (Parity,Rx-overflow or CRC/Framing error or End-of-Frame(SDLC))

-Bitarna 1-3 i den modifierade interruptvektorn betyder:

-Interrupt Acknowledge

-Interrupt Acknowledge

-When an interrupt has been detected, the channel A register RR0 bit 1 shall be tested. This bit indicates if this card (ch.A or ch.B) has sent an interrupt or not.

-När ett interrupt har detekterats ska först kanal A register RR0 bit 1 testas. Denna bit indikerar om detta kort (kanal A eller B) har sänt interrupt eller ej.

-After this, the Interrupt Acknowledge command fetches the modified Interrupt vector

-Därefter hämtas den modifierade Interruptvektorn med ett Interrupt Acknowledge kommando.

Return-from-Interrupt

 -After execution of the interrupt routine, the Return-from-Interrupt command must be given. The RETI instruction can not be used.

Return-from-Interrupt

 -Efter exekvering av interruptrutinen måste ett Return-from-Interrupt ges till kortet. RETI instruktionen kan ej användas.

Example of interrupt handling

 -After detecting an interrupt:

```

      OUT CS      Select card and channel A
                  Välj kort och kanal A
      INP STAT    Read RRO
                  Läs RRO
      NI  2       Test bit 1 in RRO. (INT. pending)
                  Testa bit 1 i RRO. (INT. pending)
      RZ          Return if not this card
                  Return om ej interrupt från kortet
* ok! Do interrupt acknowledge
* OK! Sänd Interrupt Acknowledge
      OUT C2      Prepare for next command
                  Förbered för nästa kommando
      INP STAT    Read the modified interrupt vector
                  Läs den modifierade interruptvektorn
* Execute the interrupt routine
* Exekvera interrupt rutinen
*
*
* Return from interrupt
      OUT C3      data = 70 octal
  
```

Exempel på interrupthantering

 -Efter ett interrupt:

INSTALLATION

-The 4110 does not use the system clock in the computer, and can be inserted in any I/O position in a standard Data-Board 4680 system.

-For use in an ABC80 system the optional 4110/S3 or 4110/D3 version shall be used with the internal 3 MHz clock.

-For efficient use, the interrupt should be connected from pin 5A on the concerned I/O slot to a suitable interrupt input on the control board or the single board computer slot.

From 4110 slot pin 5A to
Single Board CPU: pin 13B
ABC80 connector: pin 13B
Control Board: One of the
pins 6B,7B,....,13B

-Before inserting the 4110, certain jumpers must be set to select the baudrate and the card address.

-Before starting the communication after a reset or power-on, the SIO/2 (or DART) must be initiated by writing control words into the control registers.

-See the SIO/2 (or DART) product specifications for details.

INSTALLATON

-4110 använder ej datorns systemklocka och kan sättas i vilken I/O position som helst i en standard Data-Board 4680 system.

-När 4110 används i ett ABC80 system ska optionen 4110/S3 eller 4110/D3 med intern 3 MHz klocka användas.

-För att möjliggöra effektiv kommunikation bör interrupt signalen viras från 5A i den använda I/O positionen till en lämplig interrupt-nivå på styrkortet eller till enkortsdatorpositionen.

Från 4110 pos. pin 5A till
Enkortsdatorn: pin 13B
ABC80 kontakt: pin 13B
Styrkortet: En av pinnarna
6B,7B,....,13B

-Innan insättning av 4110 måste vissa byglingar göras för att välja baudrate och kortadress.

-Innan kommunikationen kan startas efter en reset eller spänningspåslag, måste SIO/2 (eller DART) initieras genom att skriva in kontrollkommandon i registren.

-Se SIO/2 (eller DART) produktbeskrivning för närmare detaljer.

JUMPERS

Card address

- The card address select jumpers are at position 2E on the card.

See the system manual for selecting the cardaddress.

SIO/2 ... DART adapting

- The jumpers S7 S12 adapt the I/O lines for the SIO/2 or for the DART. Compare the block diagram.

	S7	S8	S9	S10	S11	S12	
SIO/2	1	0	1	0	1	0	(as delivered)
DART	0	1	0	1	0	1	

System clock

- The clock frequency is selected by changing the crystal, the jumpers S3 and S4 and, if necessary, the counter chip in position 3C on the 4110.

- The jumpers S5 and S6 may be necessary to adjust to preserve the frequency 614.4 KHz in to the Baudrate select circuits. With this frequency input, the Baudrates achieved in asynchronous mode are those printed on the card at the jumpers S1 or S2.

BYGLINGAR

Kortadress

- Bygglingspluggen för kortadressen är i position 2E på kortet.

Se systemmanualen för kortadressvalet.

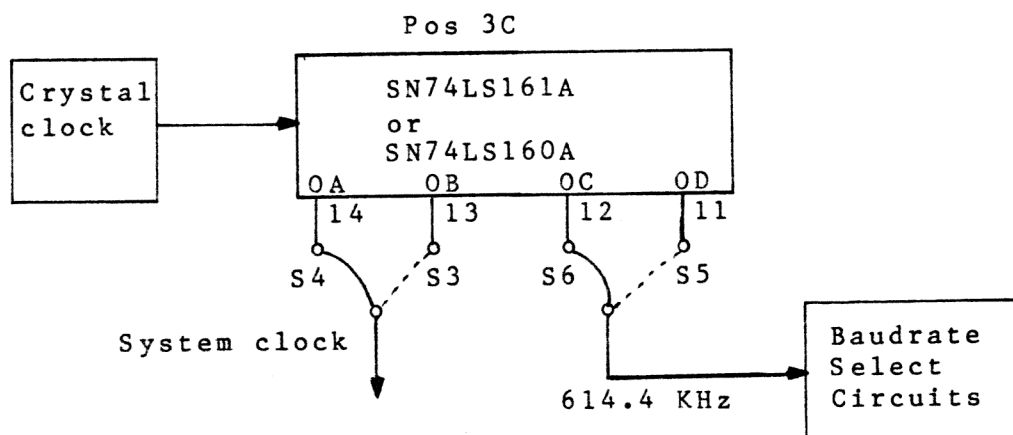
SIO/2 ... DART anpassning

- Byglingarna S7 S12 anpassar I/O signalerna till SIO/2 eller till DART. Jämför blockdiagrammet.

Systemklocka

- Klockfrekvensen väljs genom att byta kristall, ändra byglingarna S3 och S4 samt om nödvändigt byta räknarkretsen i position 3C.

- Byglingarna S5 och S6 kan bli nödvändigt att ändra för att bevara frekvensen 614.4 KHz till Baudrate select kretsarna. Med denna inställning gäller de på kortet tryckta Baudratevärdena vid byglingarna S1 och S2.



=====

-The following parameter table shows the difference between the 4110/S and the options 4110/D, 4110/S3 and 4110/D3.

-Följande parametertabell visar skillnaden mellan 4110/S och optionerna 4110/D, 4110/S3 och 4110/D3.

System	DataBoard 4680	ABC80
4110 version	4110/S or 4110/D	4110/S3 or 4110/D3
System clock	2.5 MHz	3 MHz
Crystal	4.9152 MHz	6.144 MHz
SIO or DART	Z80-SIO/2 or Z80-DART	Z80A-SIO/2 or Z80-DART
Counter chip in pos. 3C	SN74 LS161A	SN74 LS160A
S3	OFF	OFF
S4	ON	ON
S5	OFF	ON
S6	ON	OFF

Receive/Transmit clock

Sänd/Mottagningsklocka

-The jumpers S1 and S2 select the receive/transmit frequency for channel B and A separately.

-Byglingarna S1 och S2 väljer sänd/mottagningsfrekvenserna separat för kanal B och A.

-The numbers marked on the jumpers S1 and S2 are the Baudrates achieved with the baudrate factor programmed to x16 in asynchronous mode and the frequency 614.4 KHz input to the Baudrate select circuits.

-Siffrorna på byglingarna S1 och S2 är Baudrate erhållen med baudratefaktorn programmerad till x16 vid asynkron mod och frekvensen 614.4 KHz inmatade till Baudrate väljar kretsarna.

The table below shows the clockfrequency achieved internally.

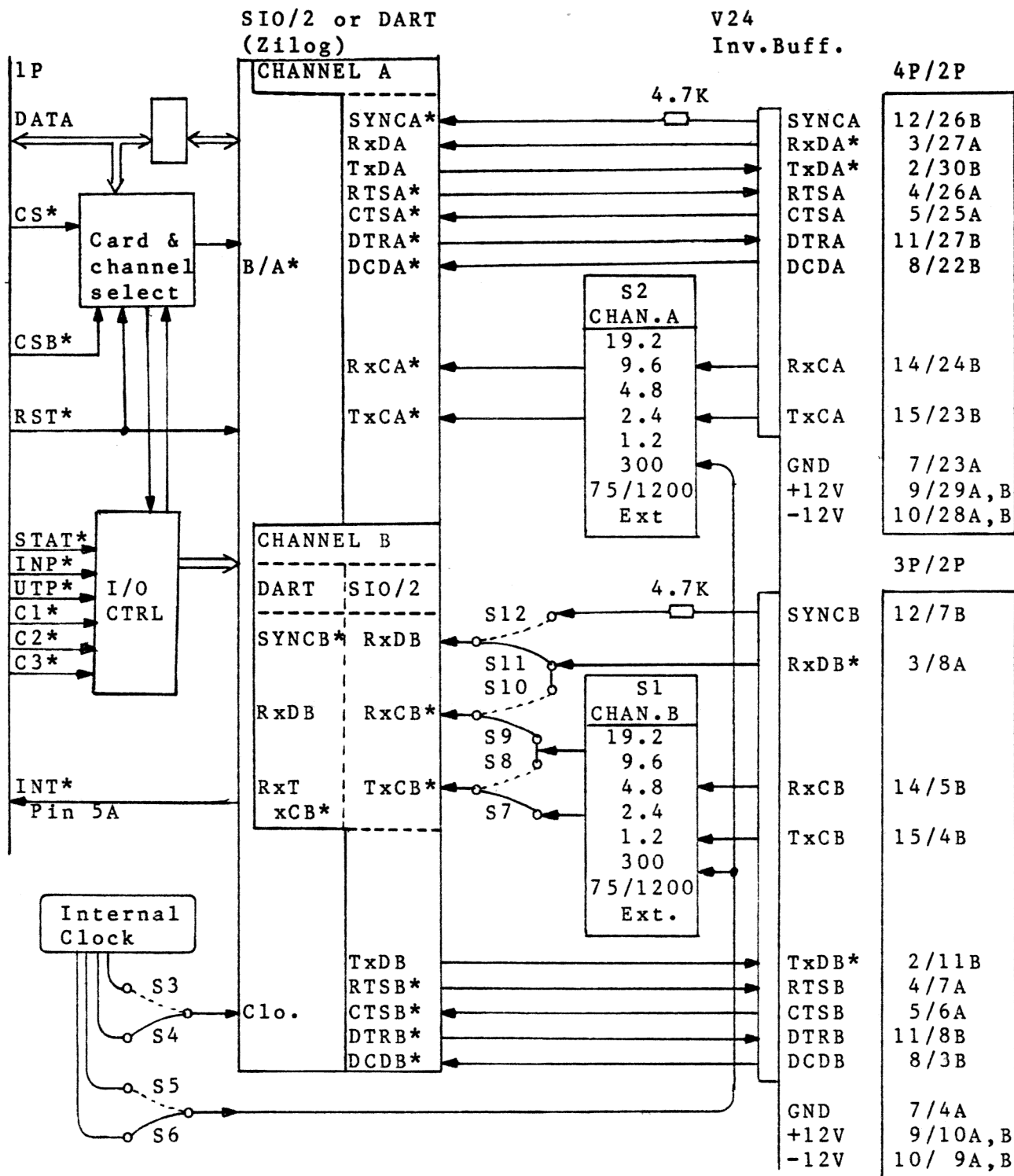
Tabellen nedan visar klockfrekvenserna erhållna internt.

S1 (or S2) Ch.B (or Ch.A)	RxCB or RxCA	TxCB or TxCA
19.2 Kbaud	307.2 KHz	
9.6 Kbaud	153.6 KHz	
4.8 Kbaud	76.8 KHz	
2.4 Kbaud	38.4 KHz	
1.2 Kbaud	19.2 KHz	
300 baud	4.8 KHz	
75/1200 baud	1.2 KHz	19.2 KHz
External	Ext.	Ext.

-To achieve 1200/75 baud, instead of 75/1200 baud, the jumpers S7,S8 and S9 must be cross-connected and only channel B can be used. The SIO/2 must be used.

-För att erhålla 1200/75 baud, istället för 75/1200 baud, måste byglingarna S7,S8 och S9 korskopplas och endast kanal B kan användas. SIO/2 måste användas på kortet.

LED	X	I	I
S7 o o--I	I	I I I	I / I
S8 o----o I	I	I O I	I I
S9 o o I	I	I I	I I
I-----I	I	I I	



Connectors: 1P : Bus connector

 I/O connector

Optionally: 2P : Euroconnector B64 plug
 or
 3P : Ch.B, DA15P plug on the card
 4P : Ch.A. DA15P plug on the card

Internal clock, Baudrate in asynchronous mode:

 The indicated baudrates are achieved with the internal factor 1/16 programmed in the SIO/2 or DART.
 75/1200 means 75 baud receive/1200 baud transmit (Viewdata).

COMPONENT DIAGRAM

KOMPONENTDIAGRAM

