

1006-10

DataBoard

BESKRIVNING

**ENKORTSDATOR
Z80B 64KB CIO/SCC**

1006-10(A)

Sep85

**DATA
INDUSTRIER AB**

Box 2029, 18302 TÄBY. Tel 08-7680660. Telex 10978.

CONTENTS

1. DESCRIPTION
2. BLOCK DIAGRAM
3. INSTALLATION, JUMPERS
4. TECHNICAL DESCRIPTION
 - 4.1 CPU-clock modulation
 - 4.2 Internal memory
 - 4.3 I/O-port addresses
 - 4.4 External memory access
 - 4.5 NVRAM parameter storage
 - 4.6 Power-on, Reset sequence
 - 4.7 Watchdog
 - 4.8 Reset-ALARM I/O
 - 4.9 Power-down support
 - 4.10 Battery backup
 - 4.11 SCC control (Serial I/O)
 - 4.12 CIO control
 - 4.13 Interrupt control
 - 4.14 SCC/CIO initiation example
5. REFERENCES
6. ACCESSORIES
7. I/O- AND BUS-CONNECTORS
8. TECHNICAL DATA
9. CIRCUIT & COMPONENT DIAGRAMS
- Appendices:
Z80B, SCC, CIO, NVRAM

INNEHÅLL

1. BESKRIVNING
2. BLOCKSCHEMA
3. INSTALLATION, BYGLINGAR
4. TEKNISK BESKRIVNING
 - 4.1 CPU-klockmodulation
 - 4.2 Internt minne
 - 4.3 I/O-port-adresser
 - 4.4 Access till externt minne
 - 4.5 NVRAM parameterlagring
 - 4.6 Uppstart, Resetsekvens
 - 4.7 Watchdog
 - 4.8 Reset-LARM I/O
 - 4.9 Support för strömbavbrott
 - 4.10 Batteribackup
 - 4.11 SCC styrning (Serie I/O)
 - 4.12 CIO styrning
 - 4.13 Interrupt-styrning
 - 4.14 SCC/CIO initieringsexempel
5. REFERENSER
6. TILLBEHÖR
7. I/O- OCH BUSS-KONTAKTER
8. TEKNISKA DATA
9. KRETS- OCH PLACERINGSSCHEMA
- Appendix:
Z80B, SCC, CIO, NVRAM

1. DESCRIPTION

The 1006-10 is an advanced single board computer, based on the 6 MHz Z80B processor.

Support software is available with the OS8MT operating system and for Prommable Basic.

- Z80B CPU with 6 MHz clock.
- Up to 64 Kbytes on-board memory RAM/CMOSRAM/EPROM in 5 ByteWyde sockets.
- Access to up to 512 Kbytes memory on the DataBoard bus, with block-I/O transfer.
- CIO counter/timer with 3 16-bits counters. The three data ports on the CIO are used internally on 1006.
- On-board I/O with the SCC two-channel serial communication controller.

1. BESKRIVNING

1006-10 är en avancerad enkortsdator, baserad på 6 MHz processorn Z80B.

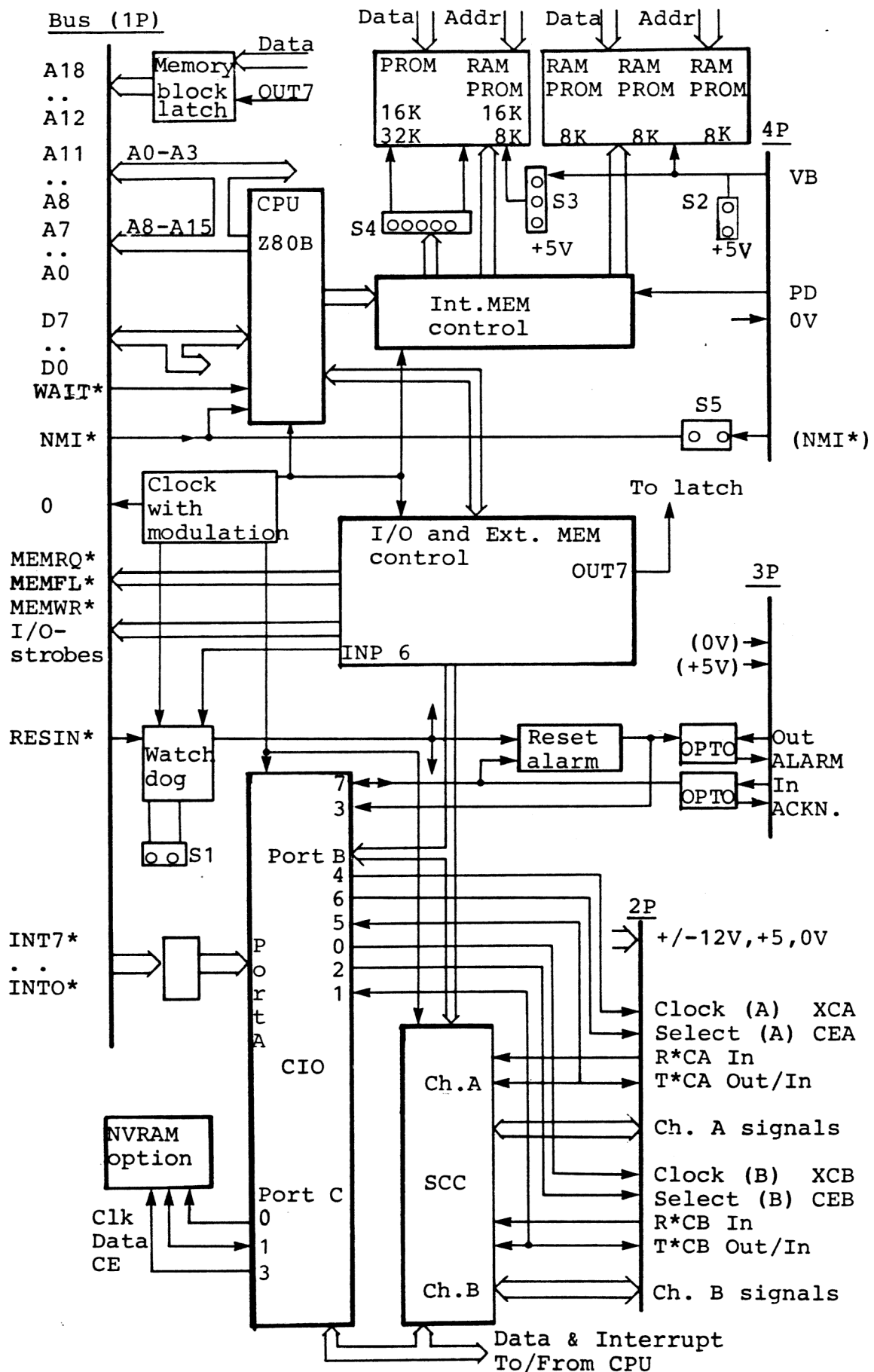
Systemprogram finns med OS8MT operativsystem och för Prom-BASIC.

- Z80B CPU med 6 MHz klocka.
- Upp till 64 Kbytes minne på kortet RAM/CMOS-RAM/EPROM i 5 ByteWyde-socklar.
- Access till 512 Kbytes minne på DataBoard-bussen, med block-I/O instruktioner.
- CIO räknar/tidgivarkrets med 3 st. 16-bitars räknare. De tre dataportarna på CIO används internt på 1006.
- I/O på kortet med SCC tvåkanals styrkrets för seriekommunikation.

-
- | | |
|--|--|
| - Optional booster card (5140) for the serial channels, supporting on-board generation of split speed as selected by software. | - Boosterkort 5140 som tillbehör för seriekanalerna, varvid även split speed kan genereras på kortet enligt val med programvara. |
| - Full access to DataBoard I/O on the DataBoard bus. | - Full tillgång till DataBoard I/O på DataBoard bussen. |
| - 8 DataBoard interrupt levels and NMI*. | - 8 DataBoard interruptnivåer och NMI* |
| - Optional NVRAM for 32 or 128 parameter bytes. | - NVRAM för 32 eller 128 bytes finns som tillbehör. |
| - Watchdog for program supervising. | - Watchdog för programövervakning. |
| - Reset-ALARM output with external acknowledge input (optoisolated). | - Reset-LARM utgång med extern återställningsingång (optoisolerade). |
| - Support for Power-down and Battery backup for on-board CMOS-RAM, from a 5059 card. | - Support för strömbavbrottsindikering och batteribackup för CMOS-RAM på kortet, via kortet 5059. |
| - No support for dynamic memory or DMA on the DataBoard bus. | - Ingen support för dynamiskt minne eller DMA på DataBoard bussen. |

2. BLOCK DIAGRAM

2. BLOCKSCHEMA



3. INSTALLATION

Select the jumpers according to the figures on the following pages.

Install the EPROM and RAM memory chips according to the address range as given in the figure on the next page.

Optionally install an NVRAM circuit in the card position 9E if it shall be used. See the figure.

Optionally connect a 5140 booster card to the I/O-connector of the 1006. To the 5140, use DA15S connectors. The 5140 requires support by the program and is controlled by the CIO-circuit.

Turn the POWER OFF before inserting the 1006 in a DataBoard single board computer rack in the correct slot, with the component side to the right. See the figure on the next page. The I/O-connector is provided with a key plug to prevent insertion the wrong way.

Optionally connect a 5059 card or another power fail/battery backup device to the 4P connector (Open S5 and S2).

Optionally connect the 3P connector to any external equipment for "Reset-ALARM". The signals are optoisolated from the computer system and the +5V and 0V provided on the connector shall NOT be used except for testing.

3. INSTALLATION

Välj byglingar enligt figurerna på följande sidor.

Sätt in minneskretsarna, EPROM och RAM, enligt adressområdet enligt beskrivningen i figuren på nästa sida.

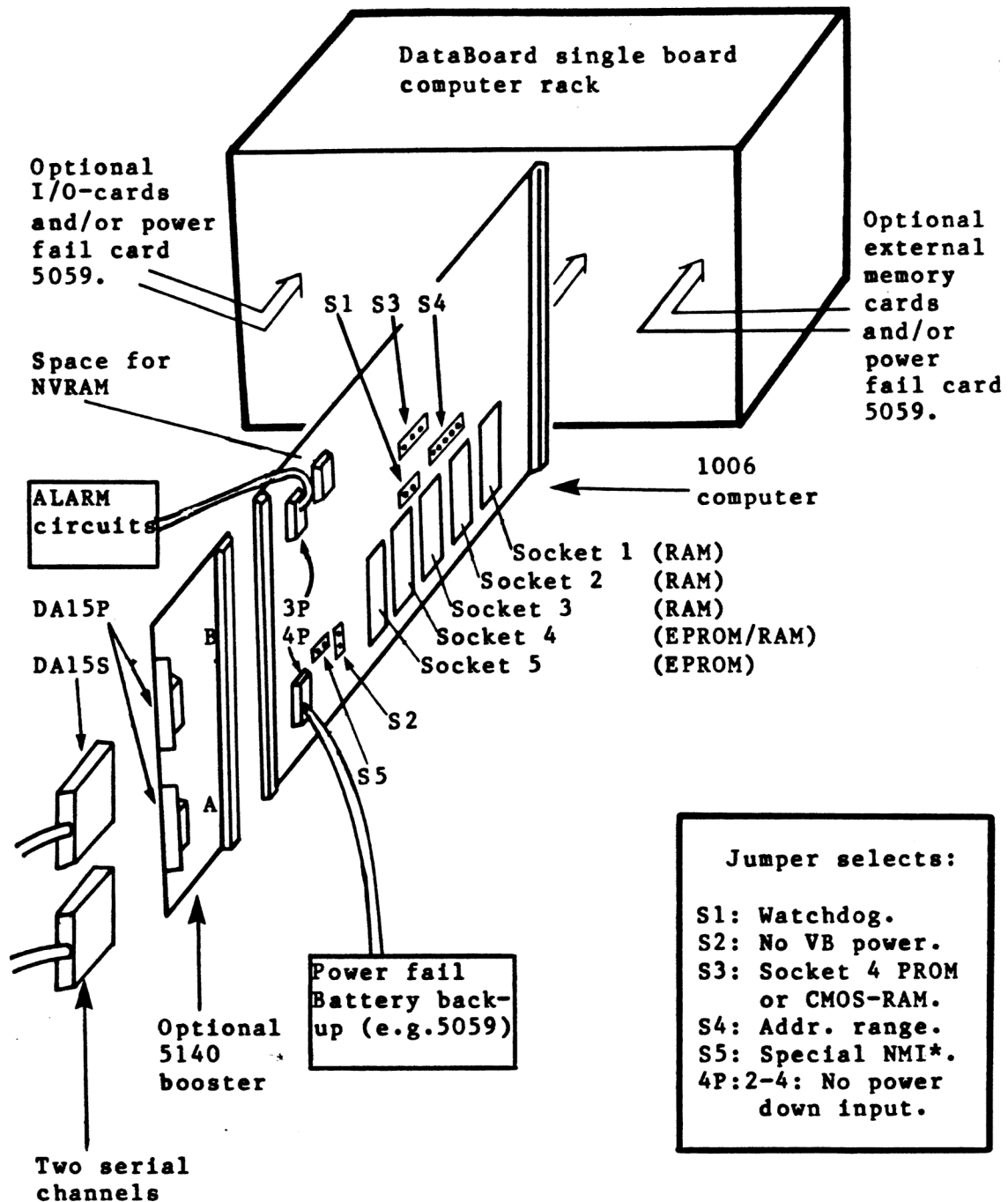
Installera eventuellt en NVRAM krets i kortposition 9E, om den skall ingå. Se figuren.

Anslut eventuellt ett 5140 boosterkort till I/O-kontakten på 1006. Till 5140 används kablar med DA15S kontakter. 5140 kräver programvarusupport och styrs av CIO-kretsen.

SLÅ AV SPÄNNINGEN innan 1006 sättes in i en DataBoard enkortsdatorrack i den rätta positionen, med komponentsidan till höger. Se figuren på nästa sida. I/O-kontakten har en kodplugg för att hindra insättning fel väg.

Eventuellt ansluts ett 5059 kort eller annan strömv-brottsindikering/batteribackup till kontakten 4P (Öppna S5 och S2).

Eventuellt ansluts kontakten 3P till externa enheter för "Reset-LARM". Signalerna är optoisolerade från datorsystemet och den +5V och 0V som finns i kontakten skall INTE användas annat än för testning.



JUMPERS

The jumpers are described in the figures. Below are a few comments:

Access to memory > 16 Kbytes requires an active low (0V) input signal on the PD-pin on the 4P connector. If no external signal is connected, a jumper is installed on the connector between the pins 2 and 4.

BYGLINGAR

Byglingarna beskrivs i figurerna. Nedan är några kommentarer.

Access till minnet > 16 Kbytes kräver en aktivt låg (0V) insignal på PD-stiftet på kontakten 4P. Om ingen extern signal är ansluten, skall en bygel anslutas mellan stift 2 och 4 på kontakten 4P.

The memory power, VB or +5V from the bus, is selected (S3) for the memory socket 4 depending on the chip type. Only CMOSRAM may use VB from an external source with battery backup.

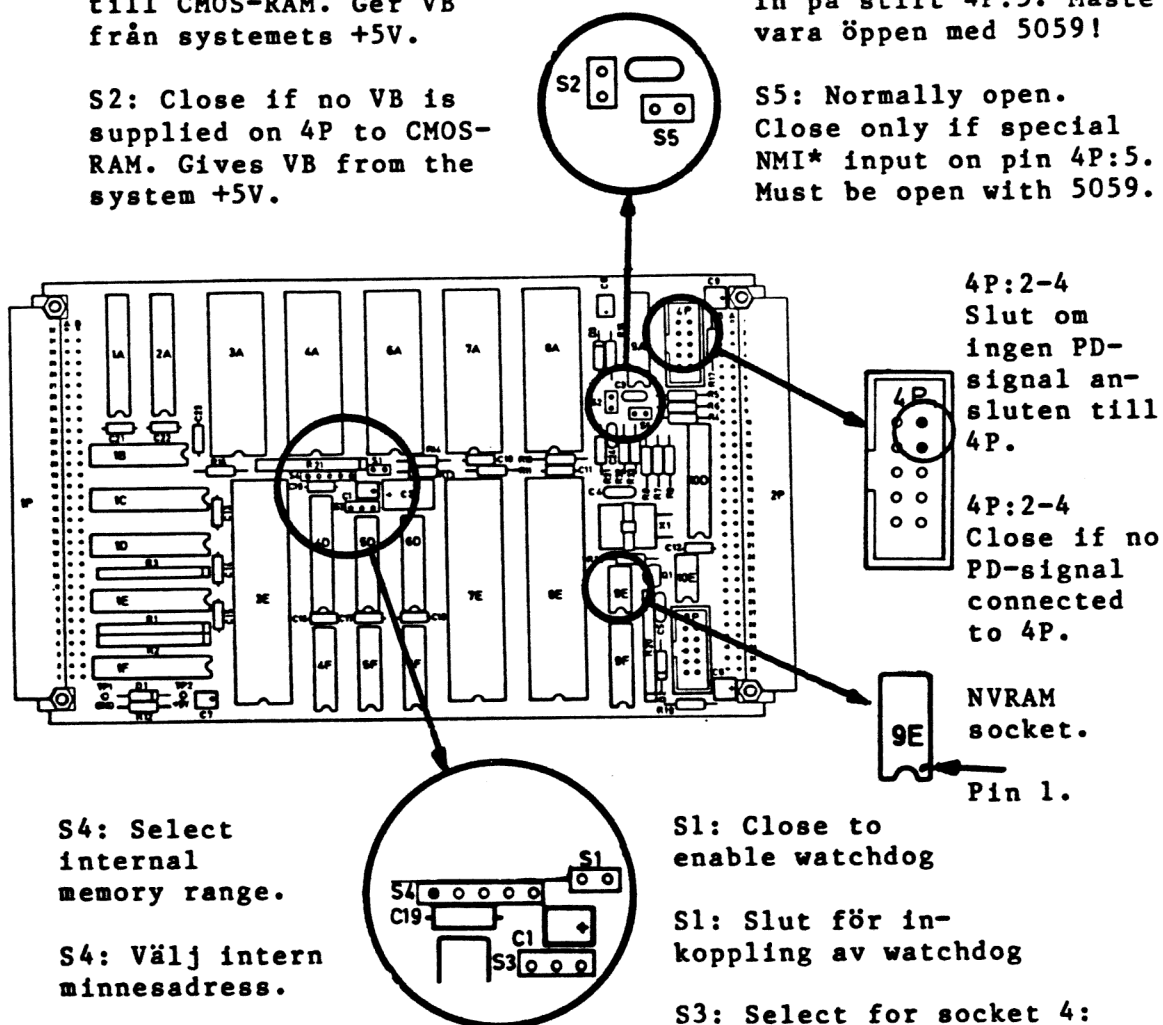
Spänning till minnet, VB eller +5V från bussen, väljs (S3) för minnessockel 4, beroende på chip-typen. Endast CMOS-RAM får använda VB från en extern källa med batteri- backup.

S2: Slutes om ingen VB tas från 4P-kontakten till CMOS-RAM. Ger VB från systemets +5V.

S2: Close if no VB is supplied on 4P to CMOS-RAM. Gives VB from the system +5V.

S5: Normalt öppen. Slut endast om särskild NMI* in på stift 4P:5. Måste vara öppen med 5059!

S5: Normally open. Close only if special NMI* input on pin 4P:5. Must be open with 5059.



Internal memory sockets

No Chip Addr. S4-jumpers

5	27256	00-32K	S4	o
4	27128	32-48K		
4	8KRAM	40-48K		
5	27128	16-32K	S4	o
4	27128	0-16K		
3	8KRAM	32-40K		
2	8KRAM	48-56K		
1	8KRAM	56-64K		

4. TECHNICAL DESCRIPTION

- 4.1 CPU-clock modulation
- 4.2 Internal memory
- 4.3 I/O-port addresses
- 4.4 External memory access
- 4.5 NVRAM parameter storage
- 4.6 Power-on, Reset sequence
- 4.7 Watchdog
- 4.8 Reset-Alarm I/O
- 4.9 Power-down support
- 4.10 Battery backup
- 4.11 SCC control (Serial I/O)
- 4.12 CIO control
- 4.13 Interrupt control

4.1 CPU-clock modulation

The CPU-clock is modulated by special circuits to enable the use of the 6 MHz clock with standard memory circuits and DataBoard I/O-timing.

The CIO and the SCC are provided with a fully symmetric 6 MHz clock.

- Internal memory:
The FETCH cycle is made as long as a normal data access cycle. Corresponds to 0.5 wait state.
- DataBoard I/O:
The clock modulation is equivalent to 2.5 wait states.
- External memory:
Accessed with I/O-statements using normal Z80 I/O timing.
- Internal I/O:
Normal Z80 I/O-timing.
- Interrupt acknowledge:
2.5 or 3 wait states, depending on synchronizing between the CPU clock and the CIO/SCC-clock.

4. TEKNISK BESKRIVNING

- 4.1 CPU-klockmodulation
- 4.2 Internt minne
- 4.3 I/O-port-adresser
- 4.4 Access till externt minne
- 4.5 NVRAM parameterlagring
- 4.6 Uppstart, Resetsekvens
- 4.7 Watchdog
- 4.8 Reset-LARM I/O
- 4.9 Support för strömbrott
- 4.10 Batteribackup
- 4.11 SCC styrning (Serie I/O)
- 4.12 CIO styrning
- 4.13 Interrupt-styrning

4.1 CPU-klockmodulation

CPU-klockan är modularad med särskilda kretsar för att 6 MHz klocka ska kunna användas med vanliga minneskretsar och accesstider för DataBoard I/O.

CIO- och SCC-kretsarna har fullt symmetriska 6 MHz klockor.

- Internt minne:
FETCH-cykeln görs lika lång som en normal data access cykel. Motsvarar 0.5 "wait state".
- DataBoard I/O:
Klockmoduleringen är ekvivalent med 2.5 extra "wait-states".
- Externt minne:
Accessas med I/O-instruktioner med normal Z80 accesstid.
- Intern I/O:
Normal Z80 I/O access.
- Interrupt svar:
2.5 eller 3 "wait states", beroende på synkronisering mellan CPU-klockan och klockan för CIO/SCC.

4.2 Internal memory

The 1006 has internal memory sockets for up to 64 KBytes memory in 5 ByteWyde sockets (28-pin sockets) in a combination of EPROM, RAM and CMOS-RAM.

Socket 1 Pos. 3A.	Socket 2 Pos. 4A.	Socket 3 Pos. 6A.	Socket 4 Pos. 7A.	Socket 5 Pos. 8A.
8K RAM 56-64K	8K RAM 48-56K	8K RAM 32-40K	EPROM or RAM	EPROM

The jumpers S4 select the addressing range for the sockets 5 and 4 (Pos. 8A and 7A). The address bit A13 limits the range in socket 4 when an 8K RAM chip is used.

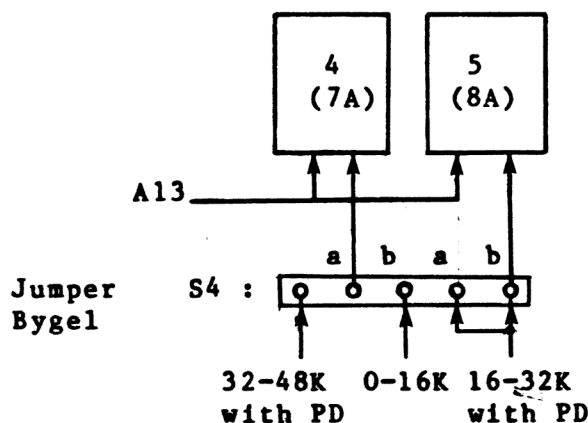
In the figures below, the S4 jumper is as seen with the I/O-connector to the RIGHT.

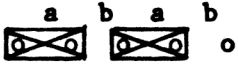
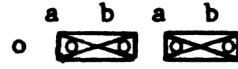
4.2 Internt minne

1006 har interna minnessocklar för upp till 64 Kbytes minne i 5 ByteWyde-socklar (28-stifts-socklar) i en kombination av EPROM, RAM och CMOS-RAM.

Byglarna S4 väljer adressområde för socklarna 5 och 4 (Pos. 8A och 7A). Adressbiten A13 begränsar området i sockel 4 när 8K RAM-kretsar används.

I figuren nedan är S4 som den ses när I/O-kontakten är till HÖGER.



<u>S4-jumper select</u>	<u>Socket</u>	<u>Memory chip</u>	<u>Addr.range</u>
S4: 	Socket 5:	27256 EPROM	00-32K
	Socket 4: a)	27128 EPROM	32-48K
	or b)	8K RAM	40-48K
S4: 	Socket 5:	27128 EPROM	16-32K
	Socket 4:	27128 EPROM	00-16K

Memory power (VB) for the sockets with CMOS-RAM may be taken from external battery backup circuits through the 4P connector.

Minnesspänning (VB) för socklarna med CMOS-RAM kan tas från externa batteri-backup kretsar genom kontakten 4P.

The power down (PD) signal is required for all memory above 16K and shall be activated by a jumper in the 4P connector if no power down circuits are connected.

Kraftindikering (PD) krävs för allt minne över 16K och PD-signalen skall aktiveras med en bygel i kontakten 4P om ingen aktiv signal ansluts.

The possible combinations are given below. The S4 jumpers are given and the sockets are marked in the figures within parenthesis. Socket 5 (8A) is closest to the I/O-connector.

De möjliga kombinationerna är enligt nedan. Byglarna S4 visas och socklarna markeras i figuren inom parentes. Sockel 5 (8A) är närmast I/O-kontakten.

- (1) Card position 3A
- (2) Card position 4A
- (3) Card position 6A
- (4) Card position 7A
- (5) Card position 8A

- (1) Kortposition 3A
- (2) Kortposition 4A
- (3) Kortposition 6A
- (4) Kortposition 7A
- (5) Kortposition 8A

Addr. 32K RAM
in 32K EPROM
Hex.

16K RAM
48K EPROM

16K RAM
40K EPROM

FFFFH	(1) 8KRAM
	(2) 8KRAM
	(4) 8KRAM
8000H	(3) 8KRAM
0000H	(5) 27256

(1) 8KRAM
(2) 8KRAM
(4) 27128
(5) 27256

(1) 8KRAM
(2) 8KRAM
XXXXXXXXXX
(4) 2764
(5) 27256

S4:   o S4:   o S4:   o

Addr. 8+16K RAM
in 32K EPROM
Hex.

8+16K RAM
24K EPROM

8+16K RAM
16K EPROM

8+16K RAM
8K EPROM

FFFFH	(1) 8KRAM
	(2) 8KRAM
	XXXXXXXXXX
8000H	(3) 8KRAM
	(5) 27128
0000H	(4) 27128

(1) 8KRAM
(2) 8KRAM
XXXXXXXXXX
(3) 8KRAM
XXXXXXXXXX
(5) 2764
(4) 27128

(1) 8KRAM
(2) 8KRAM
XXXXXXXXXX
(3) 8KRAM
XXXXXXXXXX
XXXXXXXXXX
(4) 27128

(1) 8KRAM
(2) 8KRAM
XXXXXXXXXX
(3) 8KRAM
XXXXXXXXXX
XXXXXXXXXX
XXXXXXXXXX
(4) 2764

S4: o   S4: o   S4: o   S4: o  

4.3 I/O-port addresses

The type of I/O is given by the bits 4, 5 and 6 in the I/O port address.

Note that external memory is accessed through I/O-instructions, but only with block-I/O or register I/O statements.

See section 4.4 regarding the I/O instruction types.

4.3 I/O-port-adresser

Typen av I/O ges av bitarna 4, 5 och 6 i I/O-portadressen.

Observera att det externa minnet accessas genom I/O-instruktioner, men endast med block-I/O eller register I/O.

Se sektion 4.4 för detaljer om I/O-instruktionerna.

Address bits Bit values	Port address (Low byte)							
	A7	A6	A5	A4	A3	A2	A1	A0
	64	32	16	8	4	2	1	
DataBoard I/O strobes sss = strobe 0..7	.	0	0	0	.	s	s	s
CIO-control strobes rr = CIO register 0..3	.	0	1	1	0	.	r	r
SCC-control strobes d = 0 : Control register 1 : Data register c = 0 : Channel B 1 : Channel A	.	0	1	1	1	.	c	d
External memory access Latch(OUT7) = A18..A12 pppp = A11..A8 CPU-reg B = A7..A0	.	0	1	0	p	p	p	p

Bits marked with (.) are ignored and should be zero(0).

Bitar markerade med (.) ignoreras och bör vara noll.

I/O-ports for direct I/OI/O-portar för direkt I/O

OUT 0	UTP*	DataBoard I/O	Data out
OUT 1	CS*	DataBoard I/O	Card select
OUT 2	C1*	DataBoard I/O	Control/data out
OUT 3	C2*	DataBoard I/O	Control/data out
OUT 4	C3*	DataBoard I/O	Control/data out
OUT 5	C4*	DataBoard I/O	Mode/Interrupt control

OUT 7 Latch A18..A12 for external memory

INP 0	INP*	DataBoard I/O	Data in
INP 1	STAT*	DataBoard I/O	Card status in
INP 2	OPS*	DataBoard I/O	Device status in

INP 6		Watchdog reset internally on 1006
INP 7	RST*	DataBoard I/O General I/O-reset

OUT 8..31 Reserved

Do NOT use direct I/O on ports 32..47 as this will access external memory randomly!	Använd EJ direkt I/O till portarna 32..47 då minnet då accessas slumpmässigt.
---	---

OUT 48	INP 48	CIO port C data (NVRAM)
OUT 49	INP 49	CIO port B data (Reset ALARM, Splitspeed)
OUT 50	INP 50	CIO port A data (DataBoard interrupt input)
OUT 51	INP 51	CIO control register

OUT 56	INP 56	SCC port B control
OUT 57	INP 57	SCC port B data
OUT 58	INP 58	SCC port A control
OUT 59	INP 59	SCC port A data

I/O-ports to external memory

The external address for accessing memory cards on the DataBoard bus is produced by block-I/O and register I/O instructions as below. The figures within parenthesis shows the hexadecimal digits, corresponding to the address bits.

A18..A12 Block number in a latch, set by the OUT7 strobe, bit 0-6. Block size 4Kbytes.

A11..A8 From bits 3..0 in the port number in the CPU-register C.

A7..A0 From CPU-register B. A7..A0 is NOT defined at direct I/O.

NOTE!! Register B (A7..A0) is decreased BEFORE each write transfer but AFTER each read transfer with block-I/O.

I/O-portar till externt minne

Den externa adressen till minneskort på DataBoardbussen genereras vid block-I/O och register-I/O instruktioner enligt nedan. Siffrorna inom parentes visar de hexadecimala siffror som motsvarar adressbitarna.

A18..A12 Blocknummer i en buffer, given av OUT7 stroben, bit 0-6. Blockstorlek 4K.

A11..A8 Från bit 3..0 i portnumret i CPU-register C.

A7..A0 Från CPU-register B. A7..A0 är INTE definierat vid direkt I/O.

OBS!! Register B (A7..A0) räknas ner FÖRE varje skrivning men EFTER varje läsning med block-I/O.

<u>Port in reg C</u>	<u>Range within 4K block</u>	<u>(Område inom 4K block)</u>
----------------------	------------------------------	-------------------------------

32 (20H)	0.. 255	(000..0FF H)
33 (21H)	256.. 511	(100..1FF H)
34 (22H)	512.. 767	(200..2FF H)
35 (23H)	768..1023	(300..3FF H)
36 (24H)	1024..1279	(400..4FF H)
37 (25H)	1280..1535	(500..5FF H)
38 (26H)	1536..1791	(600..6FF H)
39 (27H)	1792..2047	(700..7FF H)
40 (28H)	2048..2303	(800..8FF H)
41 (29H)	2304..2559	(900..9FF H)
42 (2AH)	2560..2815	(A00..AFF H)
43 (2BH)	2816..3071	(B00..BFF H)
44 (2CH)	3072..3327	(C00..CFF H)
45 (2DH)	3328..3583	(D00..DFF H)
46 (2EH)	3584..3839	(E00..EFF H)
47 (2FH)	3840..4095	(F00..FFF H)

4.4 Access to external memory

Memory cards (RAM/EPROM) on the DataBoard memory bus are accessed from the 1006 computer by block-I/O or register I/O instructions.

Direct INP/OUT instructions CAN NOT be used as these can not control the external addressbits A7..A0.

The maximum memory range is 512 Kbytes, but is limited to a lower value with memory cards supporting less than 19 address bits, unless the user rewires a part of the address bus.

Previous to a transfer, the external block number (0..127) shall be stored in a latch by the direct OUT 7 strobe. This defines a 4 Kbytes segment as address bits A18..A12.

Example: To access 04000-04FFFH on external memory:

LI A,4

OUT 7

or in BASIC:

OUT 7,4

The following instructions are used for external memory transfer.

4.4 Access till externt minne

Minneskort (RAM/EPROM) i DataBoard minnesbussen nås från datorn 1006 med block-I/O eller register-I/O instruktioner.

Direkta INP/OUT instruktioner KAN INTE användas eftersom dessa inte styr de externa adressbitarna A7..A0.

Maximalt minnesområde är 512 Kbytes, men begränsas till lägre värden med minneskort som inte kan adresseras med 19 adressbitar, om inte användaren virar om adressbussen.

Före överföringen lagras det externa blocknumret (0..127) i en buffer med den direkta OUT 7 stroben. Denna definierar ett 4 Kbytes segment som A18..A12.

Exempel: För access till 04000H-04FFFH externt:

LI A,4

OUT 7

or in BASIC:

OUT 7,4

Följande instruktioner används för överföring till/från externt minne.

DataBoard ASMZ mnem.	Zilog mnemonics	Decimal code for BASIC	Comments
BINP DR	INDR	237,186	Block In,Decr.Repeat
BINP D	IND	237,170	Block In,Decrement
BOUT DR	OTDR	237,187	Block Out,Decr.Repeat
BOUT D	OUTD	237,171	Block Out,Decrement
INPR r	IN r,(C)	237,104 (L)	Reg.Input r=A,D,E,H,L
OUTR r	OUT (C),r	237,105 (L)	Reg.Output r as above

For register I/O, the decimal code shows one example with register L.

För register-I/O visas decimalt endast ett exempel med register L.

Block I/O for external memory

A block I/O instruction transfers up to 256 bytes by one instruction.

NOTE! The external address is decremented in block I/O. Therefore only block I/O with internal address DECREMENT should be used as standard for compatibility.

The CPU registers are used as:

C = Port number in the range 32..47. Bit 3..0 gives the external address A11..A8.

B = a) Number of bytes to transfer if "REPEAT" is specified.
b) DECREMENTED BEFORE each byte is transferred in block-OUT, but AFTER each transfer in block-IN.
c) Giving the external address bits A7..A0.

(HL) = Points to internal memory and is decremented (or incremented) AFTER the transfer.

Example 1: Transfer internal data on 8000..80FFH to external memory 01300..013FFH.

```
LI  A,1
OUT 7
LA  HL,80FFH
LI  C,23H
LI  B,0
```

BOUT DR

Ext.addr.A18..A12 stored in latch.
UPPER int.address.
Port+Ext.addr.A11..A8
Number of bytes and 1 + ext.addr. A7..A0.
Reg.B is counted down BEFORE each transfer.
Note! 256 bytes.
Block transfer

Block-I/O för externa minnet

En block-I/O-instruktion överför upp till 256 bytes genom en instruktion.

OBS! Den externa adressen räknas NER vid block-I/O. Därför bör endast block-I/O med intern adress-NERRÄKNING användas som standard för kompatibilitet.

CPU-registren används som:

C = Portnummer i området 32..47. Bit 3..0 ger extern adress A11..A8.

B = a) Antalet byte att överföra om "REPEAT" är specificerad.
b) RÄKNAS NER INNAN varje byte överförs vid block-OUT men EFTER varje överföring vid block-IN.
c) Ger de externa address-bitarna A7..A0.

(HL) = Pekar på interna minnet och räknas ner (eller upp) EFTER överföringen.

Exempel 1: Överför den interna area 8000..80FFH till externa minnet 01300..013FFH.

Ext.adr. A18..A12 lagras i buffer.
ÖVRE intern adress
Port+Ext.addr.A11..A8
Antal bytes och 1 + ext.adr. A7..A0.
Reg.B räknas ner FÖRE varje överföring.
Obs! 256 bytes.
Blocköverföring

Example 2: The same as above, but in BASIC, with direct programming. Make a string with the machine code as above and call it. Transfer the 256 bytes of data in the string A\$ to the external memory address 01300..013FFH.

Exempel 2: Samma som ovan, men i BASIC med direkt programmering. Gör en sträng med maskinkoden ovan och anropa den. Överför 256 bytes i strängen A\$ till externa minnesadressen 01300..013FFH.

```
10 Tr$=CHR$(58,1,219,7,33,VARPTR(A$)+255,SWAP$(VARPTR(A$)+255))
20 Tr$=Tr$+CHR$(14,32+3,6,0,237,187,201)
30 X=CALL(VARPTR(Tr$),0)
```

Example 3: Transfer the same area as in example 1, but FROM the external memory. In this case the B-register is decremented AFTER each transfer. Now the last byte must be read by an extra instruction to read the same externa memory area.

Exempel 3: Överför samma area som i exempel 1, men FRÅN det externa minnet. I detta fall räknas B-registret ner EFTER varje överföring. Nu måste sista byte läsas med en extra instruktion för att överföra samma minnesarea.

LI A,1	Ext.addr.A18..A12	Ext.adr. A18..A12
OUT 7	stored in latch.	lagras i buffer.
LA HL,80FFH	UPPER int.address.	ÖVRE intern adress
LI C,23H	Port+Ext.addr.A11..A8	Port+Ext.adr.A11..A8
LI B,0FFH	Number of bytes and ext.addr.A7..A0. Decrements reg.B AFTER each transfer. Note! 255 bytes.	Antal bytes och ext.adr.A7..A0. Räkna ner reg.B EFTER varje överföring. Obs! 255 bytes.
BIN DR	Block transfer	Blocköverföring
BIN D	Read last byte (256)	Läs sista byten (256)

Register-I/O for external mem.
A register I/O instruction only transfers one byte. The CPU registers are used as:

Register-I/O för externt minne
En register-I/O-instruktion överför endast en byte. CPU-registerna används enligt:

C = Port number in the range 32..47. Bits 3..0 gives the external address A11..A8.

C = Portnumret i området 32..47. Bit 3..0 ger extern address A11..A8.

B = External address bits A7..A0.

B = Externa addressbitarna A7..A0.

Any Any other register may be used for the data. A,D,E,H or L.

... Vilket annan register som helst för data. A,D,E,H eller L.

Example: Write the value 1 into the external address 01234H:

Exempel: Skriv värdet 1 till den externa adressen 01234H:

LI A,1	Ext.addr. A18..A12	Ext.adr. A18..A12
OUT 7	stored in latch.	lagras i buffer.
LI C,20H+2	Port+Ext.addr.A11..A8	Port+Ext.adr.A11..A8
LI B,34H	Ext.addr.A7..A0.	Ext.adr. A7..A0.
LI L,1	Data	Data
OUTR L	Register write	Register skriv

or in BASIC. Give the byte to transfer and the low byte of the external address as a parameter in reg. DE at the call. D = data, E = Low byte of the address.

eller i BASIC. Ge data för överföring och minst signifikanta adressbytes som parameter i register DE vid anropet. D= Data, E= Lägsta byte i adressen.

10 T\$=CHR\$(58,1,219,7,14,32+2,67,106,237,105,201)

20 Data=1 : Lowaddr=34

30 X=CALL(VARPTR(T\$),Data*256+Lowaddr)

4.5 NVRAM parameter storage

The NVRAM circuit is optional, and intended as a non-volatile storage of user parameters.

The NVRAM is mounted in an 8-pin socket in the card position 9E.

Use NVRAM of the following types or compatible circuits.

National Semiconductor:
NMC 9306 (256 bits= 32 bytes)
NMC 9346 (1024 bits= 128 bytes)

The description below is only a general description, based on the circuits above. For programming the datasheets for the used NVRAM are required. Reference (4).

These chips allow typically 10.000 erase/write cycles. A write command writes 16 bits and takes minimum 10 ms.

Writing, reading and erasing the NVRAM is done serially, in blocks of 16 bits, using the CIO port C, dedicated only to the NVRAM.

A block must be erased before writing new data. Erasing may be done selectively or as an "erase-all" command.

4.5 NVRAM parameterlagring

NVRAM-kretsen är ett tillbehör och används för icke förstörbar parameterlagring.

NVRAM monteras i en 8-stifts sockel i kortposition 9E.

Använd NVRAM av följande typer eller kompatibla kretsar.

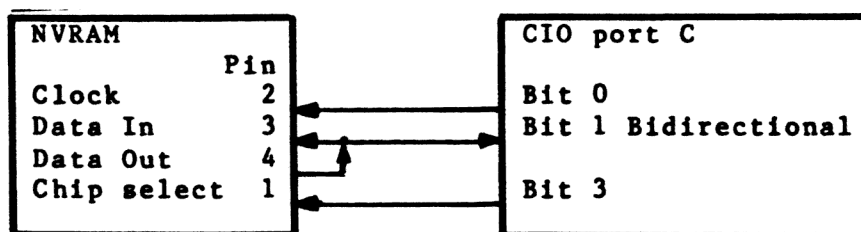
National Semiconductor:
NMC 9306 (256 bits= 32 bytes)
NMC 9346 (1024 bits= 128 bytes)

Beskrivningen nedan är generell, baserad på kretsarna ovan. För programmering krävs databladet för de använda NVRAM-kretsarna. Referens (4).

Dessa kretsar tillåter typiskt 10.000 radering/skrivningscykler. Ett skrivkommando skriver 16 bitar och tar minimum 10 ms.

Skrivning, läsning och radering av NVRAM görs seriellt, i block om 16 bitar, med CIO-port C, vilken endast används för NVRAM.

Ett block måste raderas innan nya data skrivs. Radering kan göras selektivt eller hela kretsen på en gång.



The CIO port bits are used as:

- Bit 3 enables the NVRAM. High(1) = enable for the chips listed above. It shall be pulled low between each instruction.

CIO-portens bitar används som:

- Bit 3 kopplar in NVRAM. Hög(1) = inkoppling för kretsarna ovan. Den skall dras låg mellan varje instruktion.

- Bit 0 is used as a bit transfer clock, where the rising edge activates the NVRAM for input/output of a bit.
- Bit 1 is a bidirectional data path.

- Bit 0 används som bitöverföringsklocka, varvid positiv flank aktiverar NVRAM för inläsning/skrivning av en bit.
- Bit 1 är en dubbelriktad dataväg.

NOTE! The two I/O-commands required for turning the CIO bit 1 data path should be done with interrupts temporarily disabled, to prevent interrupt routines from changing the CIO control register address between the commands. See the CIO control section.

OBS! De två I/O-kommandona som används för att vända dataporten (bit 1) på CIO bör göras med interrupt temporärt bortkopplat, för att hindra att någon interruptrutin råkar ändra CIO adressregister mellan kommandona. Se CIO styrningssektionen.

The CIO data port C is accessed with OUT 48 / INP 48 instructions. The corresponding data direction register is register 6 on port 51.

CIO data port C accessas med OUT 48 / INP 48 instruktioner. Motsvarande datariktningregister är register 6 på I/O port 51.

Commands and data may be written to the NVRAM with Z80 block I/O instructions, but reading requires control of the transfer clock for each bit.

Kommandon och data kan skrivas till NVRAM med Z80 block-I/O, men inte läsning då styrning av överföringsklockan måste göras för varje bit.

Examples:

Turning the NVRAM data path for output of commands and data.

Exempel:

Vändning av NVRAM dataväg för utmatning av kommando och data.

```
LI  A,6
DIS
OUT 51 Select CIO register
LI  A,0
OUT 51 All=Output in port C
ENI
```

```
LI  A,6
DIS
OUT 51 Välj CIO register
LI  A,0
OUT 51 Alla=Ut på port C
ENI
```

Turning the NVRAM data path for input of data.

Vändning av NVRAM dataväg för inläsning av data.

```
LI  A,6
OUT 51 Select CIO register
LI  A,2
OUT 51 Bit 1 = Input
ENI
```

```
LI  A,6
OUT 51 Välj CIO register
LI  A,2
OUT 51 Bit 1 = In
ENI
```

The available commands for the NVRAM NMC 9306 are as below. For the formats, see the data sheets, reference (4).

```
READ  a 16-bit data block
WRITE a 16-bit data block
ERASE a 16-bit data block
ERAL  Erase entire chip
EWDS  Disable erase/write
EWEN  Enable erase/write
```

Tillgängliga kommandon för NVRAM NMC 9306 är enligt nedan. För formatet se data-bladet, referens (4).

```
READ  ett 16-bit data block
WRITE ett 16-bit data block
ERASE ett 16-bit data block
ERAL  Radera hela kretsen
EWDS  Hindra radera/skriv
EWEN  Tillåt radera/skriv
```

4.6 Power-on, Reset sequence

At power-on and at a hardware reset, the 1006 logic will:

- Issue an I/O-reset (RST*) strobe on the DataBoard bus.
- Release the output "Reset-ALARM" to passive.
- Reset the CIO and SCC.
- Begin execution from address 0 in the memory.

At a watchdog-reset, no I/O-RST* is given, but otherwise the same procedure is followed.

The program shall initiate the CIO and the SCC circuits and may either set the "ResetALARM" to active low by software or wait for an external acknowledge of the ALARM.

If CMOS-RAM and a power-fail circuit are used, the power-fail circuit shall activate the PD-signal to enable access to the CMOS-RAM on the 1006 and/or on external memory cards. With the 5059, this is done by the I/O-reset strobe, sent automatically at power-up.

4.7 Watchdog

Hardware supervising of the program is achieved by the "watchdog" circuit, enabled by a jumper (S1 closed).

Unless regularly "pushed" (at least once per second) by the program with an INP 6 strobe, the watchdog will reset the CPU, the CIO and the SCC and send out the "Reset-ALARM".

After a watchdog reset, the CMOS-RAM must be opened by the program (INP 7) if a power fail unit is used, as no I/O-reset is generated automatically.

The maximum interval between the watchdog "push" commands (INP 6) is set by the components C2 and R13 on the 1006 card.

4.6 Uppstart, Reset-sekvens

Vid spänningstillslag och hårdvaru-reset, kommer logiken att:

- Ge en I/O-reset (RST*) strob på DataBoard I/O-buss.
- Återställa utgången "Reset-LARM" till passiv.
- Återställa CIO och SCC.
- Börja exekvera från adress 0 i minnet.

Vid en "watchdog"-reset ges ingen I/O-RST*, men annars följs samma procedur som ovan.

Programmet skall initiera CIO och SCC-kretsarna och kan antingen sätta "Reset-LARM" till aktivt låg genom programvara eller vänta på en extern kvittering av LARMet.

Om CMOS-RAM och kraftavbrottskretsar används, skall dessa aktivera PD-signalen för att möjliggöra access till CMOS-RAM på 1006 och/eller på externa minneskort. Med 5059, sker detta med I/O-reset-stroben som sänds automatiskt vid spänningstillslag.

4.7 Watchdog

Övervakning av programmet med hårdvara fås med "watchdog" kretsen, som kopplas in med en bygel (S1 sluten).

Om den inte regelbundet (minst 1 gång per sekund) återställs av programmet med INP 6 stroben, ger "watchdog" en resetpuls till CPU, CIO och SCC och sänder "Reset-LARM".

Efter en watchdog-reset måste CMOS-RAM öppnas av programmet med INP 7 om en kraftavbrottsenhet används, då I/O-RST* ej ges automatiskt.

Maximala intervallet mellan INP 6 kommandona bestäms av komponenterna C2 och R13 på kortet 1006.

4.8 Reset-ALARM In/Out

The opto-isolated output on the 3P connector shall normally be in active state, pulled active (low). when a program is executing.

The output is set passive automatically, indicating ALARM, at the following situations. This output signal may be used to halt or reinitiate external systems.

ALARM is given if:

- Power-off. At power fail or if the 1006 is taken out of the rack.
- At power on.
- At Manual reset.
- At a watchdog reset.

After power-on or reset, the output may be pulled low (acknowledged) in two ways:

- By software in 1006, to indicate that the program is ready for operation.
- By an input signal (opto-isolated) from the external system to acknowledge the alarm and indicating ready. The input signal resets the ALARM output by hardware and the 1006 software may detect this input signal by polling or by interrupt.

The +5V and 0V available on the 3P connector is for test purpose. For galvanic isolation external power shall be used for the Alarm I/O.

On the CIO port B, both the status of the "Reset-ALARM" and the acknowledge input signal are available, read by INP 49.

Bit 3 = ALARM output status.
0 = ALARM (passive)
1 = Normal (active)

Bit 7 = Acknowledge input.
0 = Acknowledge
1 = No input signal

4.8 Reset-ALARM In/Ut

Den opto-isolerade utgången på kontakt 3P skall normalt vara aktiv (låg) när programmet exekverar.

Utgången ställs automatiskt till passiv och indikerar LARM i följande situationer. Denna utsignal kan användas för att stoppa eller initiera ett externt system.

LARM ges om:

- Spänningsfall. Då kraftförsörjningen faller eller då 1006 tas ur racken.
- Vid spänningstillslag.
- Vid manuell reset.
- Vid reset från "watchdog".

Efter spänningstillslag eller reset kan utgången dras låg (kvitteras) på två sätt:

- Med programvara på 1006, som indikerar att programmet är igång.
- Med en insignal (opto-isolerad) från ett externt system för att visa att det yttre systemen är klara. Insignalen återställer ALARM utgången direkt och programmet på 1006 kan avkänna den med polling eller interrupt.

Den +5V och 0V som finns på kontakten 3P är för teständamål. För galvanisk isolering skall extern kraft användas för larm I/O.

På CIO-port B finns både status för "Reset-ALARM" och den yttre kvittenssignalen, vilka läses med INP49.

Bit 3 = ALARM utgångsstatus.
0 = ALARM (passiv)
1 = Normal (aktiv)

Bit 7 = Kvittenssignal
0 = Kvittering
1 = Ingen insignal

To acknowledge the Reset-Alarm by software, the CIO port B, bit 7 is temporary turned as output and a low (0) pulse out is given.

NOTE! The I/O-commands to turn bit 7 should be done with interrupts temporary disabled and all other port B bits shall be saved, as port B is also used for other purposes.

Example: Acknowledge and reset the ALARM signal to off-state.

LI	A,2BH	Port B direction
DIS		
OUT	51	Select register
INP	51	Read value
NI	7FH	Zero bit 7
OUT	51	Turn bit 7 to OUT
INP	49	Read present data
NI	7FH	Zero bit 7
OUT	49	Low pulse out
LI	A,2BH	Port B direction
OUT	51	Select register
INP	51	Read value
OI	88H	Set bit 3 and 7
OUT	51	Turn bit 3 and 7
ENI		to input

För att kvittera Reset-ALARM med programmet, måste bit 7 i CIO-port B temporärt vändas utåt och en låg(0) puls ges ut.

OBS! I/O-kommandona för att vända bit 7 skall ges med interrupt temporärt bortkopplat och alla övriga bitar i port B skall sparas, då port B även har andra funktioner.

Exempel: Kvittera och återställ ALARMSignalen till från-läge.

LI	A,2BH	Port B riktning
DIS		
OUT	51	Välj register
INP	51	Läs värde
NI	7FH	Nolla bit 7
OUT	51	Vänd bit 7 utåt
INP	49	Nuvarande data
NI	7FH	Nolla bit 7
OUT	49	Låg puls ut
LI	A,2BH	Port B riktning
OUT	51	Välj register
INP	51	Läs värde
OI	88H	Sätt bit 3 och 7
OUT	51	Vänd bit 3 och 7
ENI		till ingång

4.9 Power down support

Access to the internal RAM sockets above 16 kbytes, is disabled unless an active low (0) PD-signal is input on the 4P connector (Pin 2). Without a connected power fail equipment, PD is pulled down by a jumper between the pins 2 and 4 on the 4P connector.

As example, power fail may be detected by the 5059 card, which generates NMI* on the bus at power failure, but keeps the PD-signal high for a few ms, to allow the program on 1006 to save any important parameters before the program is halted and the CMOS-RAM is closed.

By closing the jumper S5, it is possible for an external power fail equipment to issue an NMI* signal through the 4P connector (Not with 5059 !)

4.10 Battery backup

Memory power (VB) for the RAM sockets may be taken from the 4P connector if the jumper S2 is open and S3 correctly set.

Using CMOS-RAM on the 1006, the VB may be taken from an external source with battery backup, like the 5059 card.

The power requirements for the VB power (+5V) are specified in the technical data.

4.9 Support för strömbrott

Access till de interna RAM-socklarna över 16 kbytes hindras om inte en aktivt låg (0) PD-signal finns in på kontakt 4P, stift 2. Utan anslutna strömbrottskretsar, dras PD låg genom en bygel mellan stift 2 och 4 i kontakt 4P.

Som exempel, kan strömbrott avkännas med kortet 5059, som genererar en NMI* på bussen vid kraftavbrott, men behåller PD-signalen hög i några ms, för att programmet ska kunna spara viktiga parametrar innan det stoppar och CMOS-RAM minnet stängs.

Genom att sluta bygel S5 kan en extern kraftavbrottskrets ge NMI* genom kontakt 4P (Detta gäller ej 5059 !).

4.10 Batteribackup

Spänning (VB) till RAM-minnessocklarna kan tas från kontakt 4P om bygel S2 är öppen och S3 korrekt vald.

Med CMOS-RAM på 1006 kan VB tas från en extern källa med batteri-backup, såsom kortet 5059.

Spänningskraven för VB-spänningen (+5V) specificeras i tekniska data.

4.11 SCC control

The use of the SCC is straight forward according to the datasheet for the Zilog Z8530 SCC serial communication controller, reference (2).

The SCC controls two independant serial channels.

Normally the user programs access these channels through system device drivers and the information below is only needed for direct control of the SCC.

- - - - -

The system program first issues a series of commands to the SCC, setting up the mode of operation, before the communication starts.

For each serial channel, 9 read registers and 16 write registers are accessed through the control port for mode control and status information. Two of the registers are common for both channels.

The data registers are accessed directly with the instructions
OUT 59 / INP 59 for channel A
OUT 57 / INP 57 for channel B

The control registers are accessed with
OUT 58 / INP 58 for channel A
OUT 56 / INP 56 for channel B

The control register 0 is accessed directly, but all other control registers are accessed by first selecting the register, then reading or writing from/to it. The register pointer is reset after each read or write.

The interrupt vector and interrupt status information are common for both channels. The SCC has a lower hardware interrupt priority than the CIO circuit (with the DataBoard interrupts inputs). For further

4.11 Styrning av SCC

Användningen av SCC är helt enligt databladet för Zilog Z8530 SCC serial communication controller, referens (2).

SCC-kretsen har två oberoende seriella kanaler.

Normalt sker kommunikationen på dessa kanaler via systemprogrammet drivprogram och informationen nedan behövs endast för direkt styrning av SCC-kretsen.

- - - - -

Systemprogrammen ger först en serie kommandon till SCC för att initiera olika register, innan kommunikationen startar.

För vardera kanal finns 9 läsregister och 16 skrivregister som accessas via styrporten och bestämmer moden och ger status information. Två av registren är gemensamma för båda kanalerna.

Dataregistren adresseras direkt med instruktionerna:
OUT 59 / INP 59 för kanal A
OUT 57 / INP 57 för kanal B

Styrregistren adresseras med instruktionerna:
OUT 58 / INP 58 för kanal A
OUT 56 / INP 56 för kanal B

Styrregister 0 skrives/läses direkt, men alla andra styrregister måste först väljas genom ett skrivkommando och därefter läsas eller skrivas. Registerpekaren återställs efter varje läsning eller skrivning.

Interruptvektorn och interrupt status information är gemensam för båda kanalerna. SCC har en lägre hårdvaru interrupt prioritet än CIO kretsen (med DataBoard interrupt ingångarna). För

information, see the separate section about interrupts.

ytterligare information, se kapitlet om interrupt.

The SYNCA* (RIA*) and SYNCB* (RIB*) pins on the SCC are protected by a 2.2 Kohm resistor.

Stiften SYNCA* (RIA*) och SYNCB* (RIB*) på SCC är skyddade med 2.2 Kohm motstånd.

SCC baudrate generation

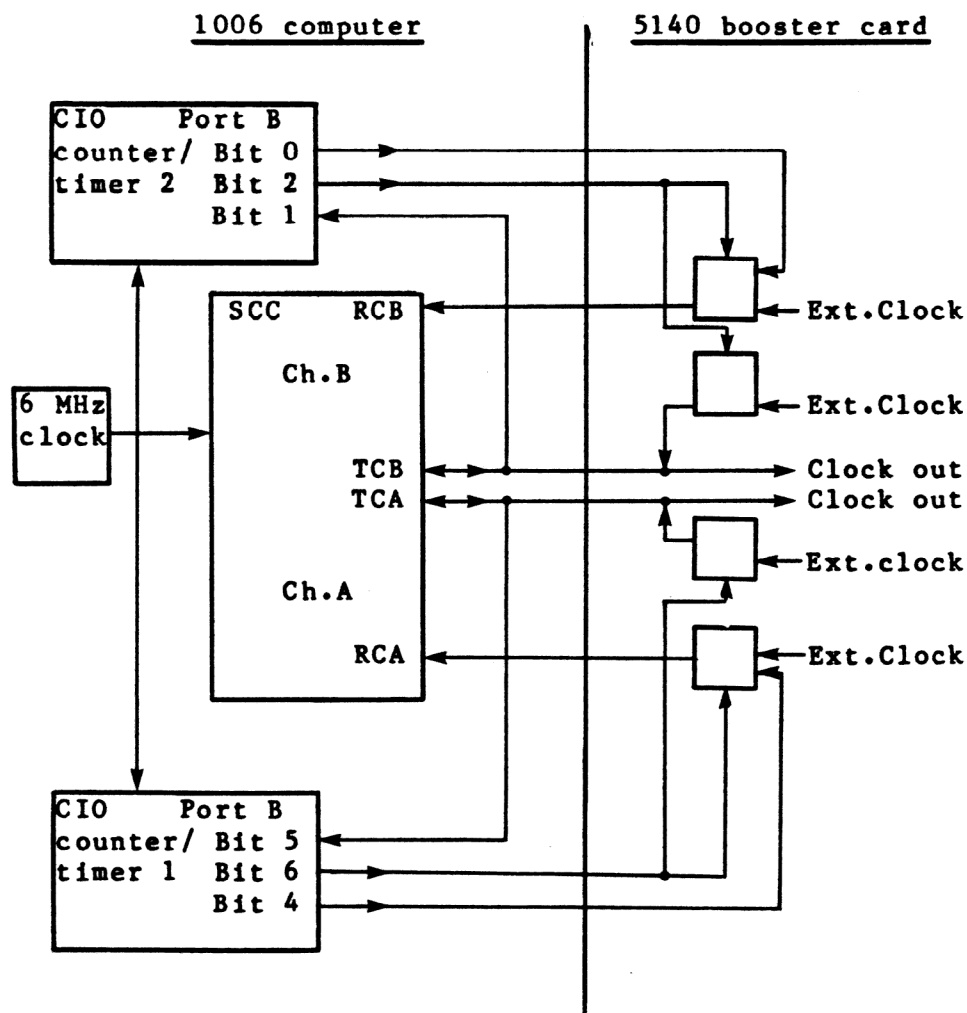
Baudrates (transmit and receive clocks) can be generated in several different ways as selected on the SCC by program commands. For a full description, see the SCC datasheet (reference 2).

Generering av SCC baudrate

Baudrate (sänd och mottagnings-klockpulser) kan genereras på flera olika sätt och väljs på SCC med programkommandon. För en fullständig beskrivning, se databladet för SCC (referens 2).

Generally clock pulses input on the RCA (RCB) pin can be used for transmit and/or receive clocks. The TCA (TCB) pin can output a clock frequency, unless used to input a transmit and/or receive clock. See the figure below!

Allmänt kan klockpulser in till stift RCA (RCB) användas för sänd och/eller mottagningsklocka. TCA (TCB) kan ge en klocksignal ut, om stiftet inte används för inmatning av en sänd och/eller mottagningsklocka. Se figuren nedan!



Baudrates (transmit and receive clocks) can be generated from:

- The 6 MHz system clock.
- External sources for synchronous communication.
- A CIO counter/timer, through the 5140 booster card, with split speed possibilities.
- The data stream, with FM or NRZI encoding. The SCC can recover a clock signal in this case.

The baudrate generated from the system clock input (6 MHz) will be as below if "/16" is selected in the SCC write register 4. At asynchronous reception "/1" shall never be used!

Baudrate (sänd och mottagnings-klockpulser) kan genereras från:

- Från 6 MHz systemklockan.
- Externa källor för synkron kommunikation.
- En CIO räknarkrets, via 5140 boosterkort, med möjlighet till split speed.
- Från dataströmmen, med FM eller NRZI-kodning. SCC kan återvinna klocksignalen i detta fall.

Baudrate som genereras från systemklockan (6 MHz) kommer att bli enligt nedan om "/16" är vald i SCC skrivregister 4. Vid asynkron mottagning får "/1" aldrig användas!

$$\text{Baudrate} = \frac{6000000}{2 * \text{Div} * (\text{SCC time constant} + 2)}$$

Example:	Time constant	Div	Baudrate
	3	/16	37500 (38400-2.5%)
	8	/16	18750 (19200-2.3%)
	18	/16	9375 (9600-2.3%)
	37	/16	4808 (4800+0.2%)

For on-board split speed generation, the 5140 booster card is used, transferring the output from the CIO counter/timer 1 (or 2) to the RCA (or RCB) pin on the SCC as receive/transmit clock. The transmit/receive clock is generated internally on the SCC.

The baudrate will be as below, when generated by the counter/timer, giving the same values as in the table above.

För generering av split speed på kortet används 5140 booster kort, som överför utgången från räknarkrets 1 (eller 2) på CIO till RCA- (eller RCB-) stiftet på SCC som mottagning/sänd klocka. Sänd/mottagningsklockan genereras internt på SCC.

Baudrate, som genereras av räknarkretsen, kommer att bli som nedan, vilket ger samma värden som i tabellen ovan.

$$\text{Baudrate} = \frac{6000000}{2 * \text{Div} * (\text{CTC time constant} + 2)}$$

4.12 CIO control

The CIO programming is normally done only in system programs and when programming, the datasheets for the Zilog Z8536 CIO Counter/timer and Parallel I/O-unit shall be used.

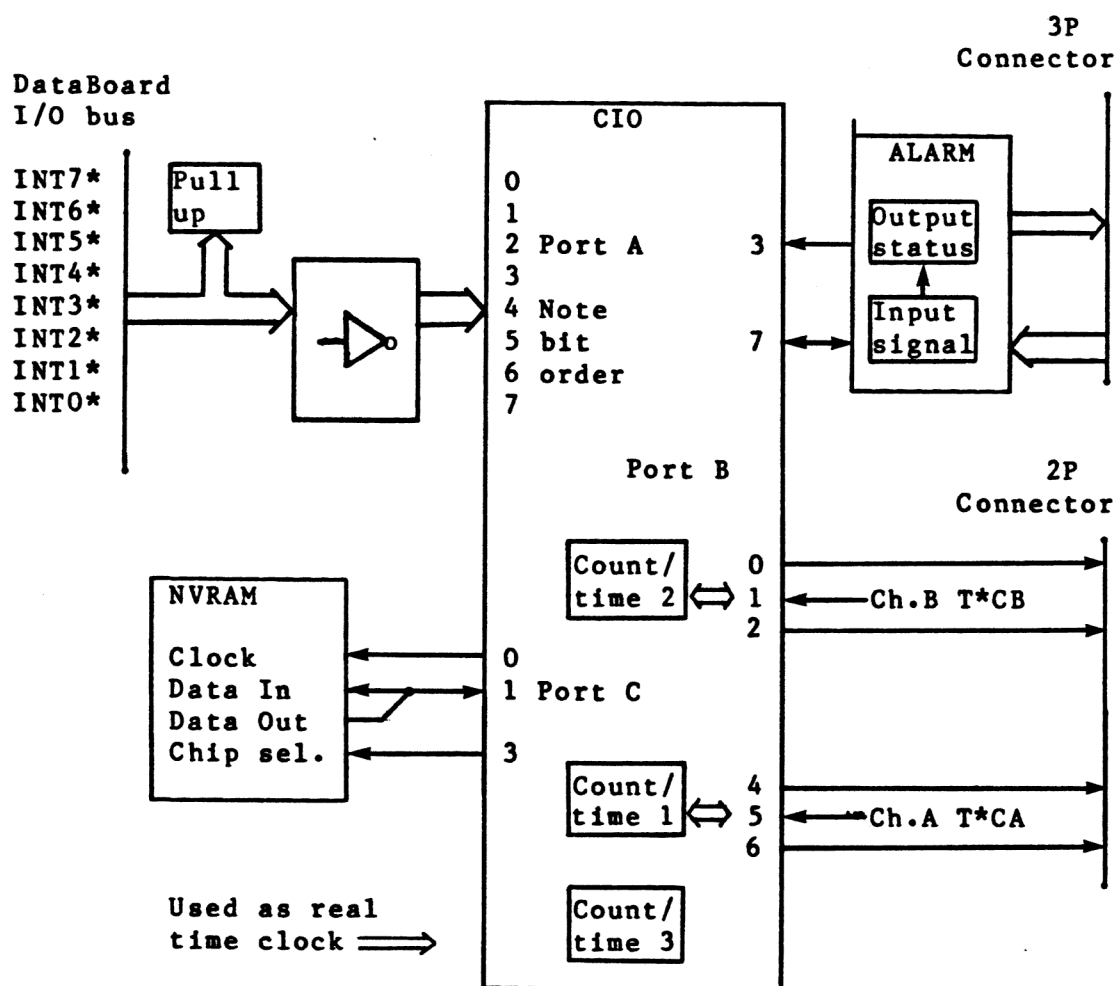
Reference (3).

Below is described the standard use of the three data ports and the three counter/timers on the CIO on 1006.

4.12 CIO styrning

CIO-kretsen programmeras normalt endast i systemprogram och vid programmering krävs databladet för Zilog Z8536 CIO counter/timer and Parallel I/O-unit, referens (3).

Nedan beskrivs hur de tre dataportarna och de tre räknarna på CIO-kretsen används på 1006.



The CIO is mainly used for system control functions.

- Port A detects interrupts from the DataBoard bus.
- Port B controls the serial baudrate together with the 5140 card.
- Port B also controls the Reset-Alarm I/O.
- Port C accesses the optional NVRAM.

CIO-kretsen används normalt bara för systemstyrning.

- Port A avkänner interrupten från DataBoardbussen.
- Port B styr seriella baudrate via 5140 booster-kortet.
- Port B styr även Reset-ALARM in/utgångarna.
- Port C hanterar NVRAM om det är inkluderat.

- Counter/timer 1 and/or 2 are used if split speed is used in the SCC.
- Counter/timer 3 is normally used as the system interval and real time clock.

At power on the system program shall initiate the CIO by a series of commands.

The CIO contains a total of 48 read/write registers to control the functions.

The CIO data ports A,B or C are directly accessed with the I/O-instructions:

OUT 50 / INP 50 for port A
OUT 49 / INP 49 for port B
OUT 48 / INP 48 for port C

The CIO control register is accessed with:

OUT 51 / INP 51

All control registers are accessed by first selecting the register, then reading or writing from/to it.

Successive reads may be done from the selected register, but after any read/write from/to any register, the next write is always a pointer to select a new register.

NOTE! Accessing a CIO register shall be done with interrupts temporary disabled, to prevent other (interrupt) routines from changing the register pointer between the register select and the read/write operation.

For system compatibility, always read a register before writing to change only the bits intended to change.

The ports A and B and the counter/timers have different interrupt vectors and statuses. For the priorities and further information, see the section about interrupts.

- Räknare 1 och/eller 2 används om split speed används på SCC.
- Räknare 3 används normalt som systemets intervall- och realtids-klocka.

Vid spänningstillslag skall systemprogrammet initiera CIO med en serie kommandon.

CIO innehåller totalt 48 läs/skriv-register för att styra funktionen.

CIO dataport A,B eller C accessas direkt med I/O-instruktionerna:

OUT 50 / INP 50 för port A
OUT 49 / INP 49 för port B
OUT 48 / INP 48 för port C

Styrregistren för CIO accessas med:

OUT 51 / INP 51

Alla styrregister accessas genom att först välja register och sedan läsa eller skriva från/till det.

Succesiva läsningar kan göras från samma register, men efter en läs/skriv-cykel från/till ett register sker nästa skrivning alltid till registerpekaren.

OBS! Interrupts bör temporärt kopplas bort då ett CIO-register accessas, för att hindra att andra (interrupt-) rutiner ändrar registerpekaren mellan registervalet och läs/skriv-operationen.

För system-kompatibilitet bör ett register alltid läsas innan nytt värde skrivs för att endast ändra bitar som skall ändras.

Portarna A och B och räknarna har olika interruptvektorer och statusregister. Se kapitlet om interrupt för ytterligare information.

CIO-port A: Bus interrupts.

The 8 interrupt inputs from the DataBoard I/O-bus are detected by port A, which by system software is set up for input, with interrupts enabled on low values on the DataBoard bus pins (high on port A).

The interrupt vector read by the CPU at an interrupt contains the bit number of the highest level active DataBoard interrupt.

The DataBoard interrupt levels and the bit numbers on port A are inverted as the CIO will treat port A bit 7 as the highest level interrupt.

The 8 interrupt signals on the DataBoard bus, may at any time (after initiation) be read by the INP 50 strobe.

INT7*	Port A, bit 0	Lowest level	Lägsta nivå
INT6*	Port A, bit 1		
INT5*	Port A, bit 2		
INT4*	Port A, bit 3		
INT3*	Port A, bit 4		
INT2*	Port A, bit 5		
INT1*	Port A, bit 6		
INT0*	Port A, bit 7	Highest level	Högsta nivå

CIO port B: Baudrate/Alarm

The use of port B depends on if split speed is internally generated or not in one or both serial channels. In any case, port B must be correctly initiated if the 5140 booster card is used.

The "Reset-ALARM" input/output signals may at any time after initiation be read by the INP 49 strobe.

See further details in the sections about SCC baudrate select and Reset-ALARM.

CIO-port C: NVRAM access

The CIO port C is only used to access the NVRAM. See the section about NVRAM for details.

CIO-port A: Bussinterrupt

De 8 interruptingångarna från DataBoard-bussen avkänns med port A, vilken av systemprogrammet initieras som ingångar, med påkopplade interrupt för låga insignaler på DataBoardbussen (höga på port A).

Interruptvektorn läses av CPU vid interrupt och innehåller bitnumret för aktiva DataBoardinterruptet med högsta prioritet.

DataBoard interruptnivå och bitnumret på port A är inverterade eftersom CIO behandlar port A bit 7 som högsta nivå.

De 8 interruptsignalerna på DataBoardbussen kan när som helst efter initiering läsas med stroben INP 50.

CIO-port B: Baudrate/Alarm

Användningen av port B beror på om split speed genereras internt eller inte i en eller båda kanalerna. I varje fall måste port B initieras korrekt om boosterkortet 5140 används.

In/ut-signalerna för "Reset-ALARM" kan när som helst efter initiering läsas med INP 49 stroben.

Se ytterligare detaljer i kapitlet om SCC baudrate och Reset-ALARM.

CIO-port C: NVRAM access

CIO port C används enbart för access till NVRAM. Se NVRAM-kapitlet för detaljer.

CIO counter/timers:

The counter/timer 1 and 2 are either free for user applications or used for split speed control on the serial channels as is described in the SCC control section.

The counter/timer 3 is as standard used as interval clock and has the highest interrupt priority in the system. The system software uses this clock to provide a real time clock, updated by a service routine.

NOTE! The counter/timer interrupt vector is common for all counter/timers and defined by the system.

See the CIO datasheet for programming information.

CIO räknare/timer

Räknare 1 och 2 är antingen fria för användarapplikationer eller används för split speed styrning av seriekanalerna enligt beskrivningen i kapitlet om SCC styrning.

Räknare 3 används normalt som intervallklocka och har högsta interruptprioriteten i systemet. Systemprogrammen använder denna klocka för uppdatering av en realtidsklocka med en servicerutin.

OBS! Räknarnas interruptvektor är gemensam för alla räknare och definieras av systemprogrammen.

Se databladet för CIO för detaljer.

4.13 Interrupts

Interrupts are normally handled by system routines when using the OS8MT operating system or Prom-BASIC. Below are given general principles for the understanding of the system.

Note! When using interrupts on the DataBoard bus, it is essential to save and restore the I/O-card select and the current interrupt mask in all routines changing these. In OS8MT, always call the routine "OUTCS" for card select instead of a simple OUT 1 instruction.

In Prom-BASIC, use the BASIC statement "OUT 1,nn", and do not use an OUT 1 machine instruction in any machine code sequence.

The priority of the interrupt sources on 1006 are from the highest to the lowest, as in the table below. By interrupt masking, however, the SCC priority may by software be selected at any level. See details in the section below.

Normally vectored interrupts are used. The "Vector" in the list below is the interrupt vector, stored in the respective register. It can be modified according to the list for different interrupt types, if selected by a command bit "VIS=Vector Includes Status".

- Non-maskable interrupt NMI* from the DataBoard bus.
(Entry at 0066H always)
- Counter/timer 3 on the CIO.
(Vector = Counter/timer vector + 0)

4.13 Interrupt

Interrupt hanteras normalt av systemrutiner när OS8MT operativsystem eller Prom-BASIC används. Nedan ges allmänna principer för förståelsen av systemet.

Obs! När interrupt används på DataBoard-bussen är det viktigt att spara och återställa I/O-kortvalet och interruptmasken i alla rutiner som ändrar dessa. I OS8MT skall alltid kortval göras med rutinen "OUTCS" istället för med en enkel OUT 1 intruktion.

I Prom-BASIC skall alltid BASIC satsen "OUT 1,nn" användas, och använd inte maskininstruktionen OUT 1 i någon maskinkods rutin.

Prioriteterna för interrupt-källorna på 1006 är från den högsta till den lägsta enligt tabellen nedan. Genom interruptmask kan emellertid SCC-kretsens prioritet väljas till valfri nivå. Se nedan för detaljer.

Vanligen används vektoriserat interrupt. "Vektorn" i listan nedan är den interruptvektor som lagrats i respektive register. Den kan modifieras enligt listan för olika interrupttyper, om detta valts med en kommandobit "VIS=Vector Includes Status".

- Ej maskbart interrupt NMI* från DataBoardbussen.
(Program på 0066H alltid)
- Räknare 3 på CIO-kretsen.
(Vektorn = räknarvektor + 0)

=====

- CIO-port A on the CIO, with the DataBoard interrupts. The level modifies the vector in steps of two bytes.
INT0* (Highest level) has the vector = Port A vector + 14
.....
.....
INT7* (Lowest level) has the vector = Port A vector + 0
- Counter/timer 2 on the CIO (Vector = Counter/timer vector + 2)
- CIO port B with the Reset-ALARM. (Vector = Port B vector)
- Counter/timer 1 on the CIO. (Vector = Counter/timer vector + 4)
- SCC serial channels A and B. The same vector is used for both channels. It can be modified at interrupt by channel number and the interrupt type. One of two possible modification is selectable. The status is either in the bits 1,2,3 or in the bits 6,5,4. Both are given below.
- CIO-port A på CIO, med DataBoard interrupten. Nivån modifierar vektorn i steg om två.
INT0* (Högsta nivå) har vektorn = Port A vektor + 14
.....
.....
INT7* (Lägst nivå) har vektorn = Port A vektor + 0
- Räkare 2 på CIO-kretsen. (Vektorn = räknarvektor + 2)
- CIO-port B med Reset-ALARM. (Vektorn = Port B-vektorn)
- Räkare 1 på CIO-kretsen. (Vektorn = räknarvektor + 4)
- SCC seriekanalerna A och B. Samma vektor används för båda kanalerna. Den kan modifieras vid interrupt med kanalnummer och interrupttyp. En av två möjliga modifieringar kan göras. Status ges antingen i bitarna 1,2,3 eller i 6,5,4. Båda ges nedan.

The vector modification is selected by the bits D0 and D4 in write register 9.

Channel B:

Transmit:	+ 0 (0)
External/Status:	+ 2 (64)
Receive:	+ 4 (32)
Spec. Receive:	+ 6 (96)

Channel A:

Transmit:	+ 8 (16)
External/Status:	+ 10 (80)
Receive:	+ 12 (48)
Spec. Receive:	+ 14 (112)

Modifiering av vektorn väljs med bitarna D0 och D4 i skrivregister 9.

Kanal B:

Sändning:	+ 0 (0)
Extern/status:	+ 2 (64)
Mottagning:	+ 4 (32)
Spec. Mottagn.:	+ 6 (96)

Kanal A:

Sändning:	+ 8 (16)
Extern/status:	+ 10 (80)
Mottagning:	+ 12 (48)
Spec. Mottagn.:	+ 14 (112)

Interrupt service

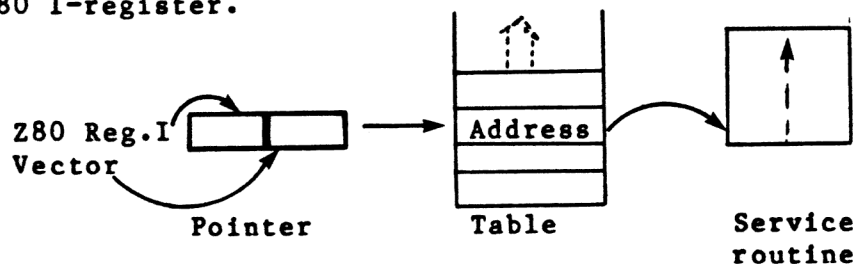
The following sequence assumes that the interrupt mode 2 is selected in the Z80 CPU. This is to be done by the system programs at power-on as the Z80 by default uses mode 0. Bit 0 in the vector is always 0 in mode 2.

When an interrupt occurs, the CPU issues an interrupt acknowledge sequence, reading the interrupt vector from the CIO or SCC. A service routine is called at an address, which is taken from a software defined table. The vector contains the low byte of the pointer to the entry in the table. The high byte of the table address shall be in the Z80 I-register.

Interrupt service

Följande sekvens förutsätter att interruptmod 2 är vald på Z80 CPU. Detta görs av systemprogrammen eftersom Z80 vid spänningstillslag alltid ställer in mod 0. Bit 0 i vektorn är alltid 0 i mod 2.

När ett interrupt inträffar, sänder CPU en "interrupt acknowledge" sekvens och läser interruptvektorn från CIO eller SCC. En servicerutin anropas på en adress som tas ur en programvarudefinierad tabell. Vektorn innehåller minst signifikanta byte i pekaren till tabellvärdet. Mest signifikanta byte skall vara i Z80's I-register.



In the service routine, before returning from the interrupt, the interrupt source must be reset by resetting the "IUS-bit" in the CIO or the SCC. Resetting this bit is through commands to the CIO or SCC and is done instead of the RETI instruction, used on previous Zilog products. The RETI does not work on the SCC or the CIO. See reference (2) and (3).

I servicerutinen måste interruptkällan återställas, innan återhopp sker, genom att återställa "IUS-biten" i CIO eller SCC. Återställning av denna bit görs genom kommandon till CIO eller SCC och görs istället för RETI instruktionen, som används i tidigare ZILOG-produkter. RETI fungerar inte på CIO eller SCC kretsarna. Se referenserna (2) och (3).

Interrupt masking

Interrupt service routines, executing with interrupts enabled, may mask off lower priority interrupts during execution. On the CIO port A, DataBoard interrupts below a selected level are masked off and the SCC may be masked off by a CIO command setting the DLC bit (Disable lower chain).

In this case, the IUS-bit shall be reset on the CIO (or SCC) already in the beginning of the interrupt routine, to allow other, higher level, interrupts.

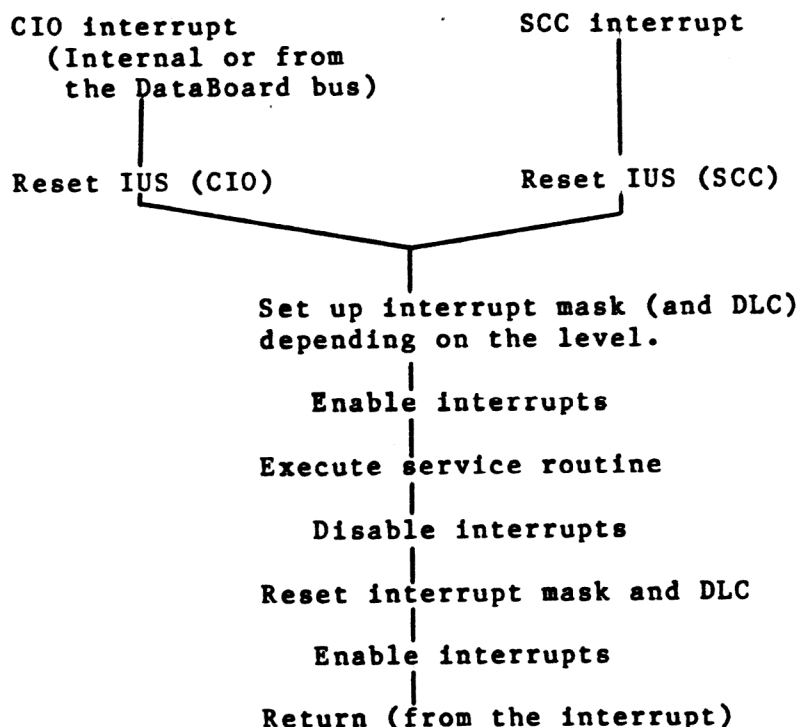
After servicing the current level interrupts, the interrupt mask is restored to its previous level before exit. See reference (2) and (3).

Maskning av interrupt

Interruptrutiner som exekverar med interrupt inkopplad, kan maska av lägre prioriterade interrupt under exekveringen. På CIO-port A, maskas DataBoard-interrupt under vald nivå och SCC maskas bort genom ett CIO-kommando som sätter biten DLC (Disable lower chain).

I detta fall skall IUS-biten återställas på CIO eller SCC redan i början av interruptrutinen, för att tillåta andra interrupt med högre prioritet.

Efter att nuvarande interrupt har åtgärdats, återställs interruptmasken till dess föregående värde innan återhopp. Referens (2) och (3).



4.14 SCC/CIO initiation ex.

The example is in DataBoard Assembler format and is approximately the same as is used in Prom-BASIC for 1006.

Note that the SCC and CIO datasheets are required to understand the example.

Generally it gives:
 CIOA: DataBoard interrupts.
 CIO3: Interval clock interrupt each 10 milliseconds.
 SCCA: 9600 Baud, 8 databits, 1 stop bit.

4.14 SCC/CIO initieringsex.

Exemplet är i DataBoard Assembler format och är ungefär samma som används i Prom-BASIC för 1006.

Observera att databladen för SCC och CIO krävs för att förstå exemplet.

Allmänt blir det:
 CIOA: DataBoard interrupt
 CIO3: Intervallklockinterrupt var 10:e millisekund.
 SCCA: 9600 Baud, 8 databitar, 1 stopbit.

PROG INITIATE SCC AND CIO

* Set constants:

EQU	310,BAUD9600	For 9600 baud on SCC Ch.A.
EQU	80H,CHANRES	SCC channel reset constant.
EQU	SCCA,DAT,CON.DAT	I/O-address to SCCA data
EQU	SCCA.CMD,CON.CMD	I/O-address to SCCA control.
EQU	30000,TC3	For Real time clock rate.

* The interrupt vectors depend on the program address.

EQU	CINTVEK,	CIO interrupt vector (User)
EQU	SCCVEK,	SCC interrupt vector (User)
EQU	XINTVEK,	Ext.DB interr. vector (User)

*
 INIT1006* = *

LDI	BC,CIOSIZ:CIO.CTRL	
LA	HL,CIOTAB	
BOUT	IR	Initiate CIO
LDI	BC,SCCSIZ:CON.CMD	HL already points to SCCTAB
BOUT	IR	Initiate SCC
RET		

*
 CIOTAB = *

DB	1,0	RESET BIT ON/OFF. ENTER STATE 0
DB	CIOA.MS,6	BIT PORT,OR-PEV
DB	CIOA.DD,0FFH	ALL INPUT
DB	CIOA.PP,0FFH	ACTIVE HIGH
DB	CIOA.PM,0FFH	ALL
DB	CIOA.IV,XINTVEK	EXTERNAL INTERRUPT
DB	CIOA.CAS,0COH	INTERRUPT ENABLE

*
 DB CIOCT.IV,CINTVEK COUNTER/TIMER INTERRUPT VEKTOR

*
 DB CIO3.MS,84H CONT., NO EXT.TRIGG, RETRIGGER
 DB CIO3.TCM,TC3/256 TIME CONSTANT HIGH
 DB CIO3.TCL,TC3 TIME CONSTANT LOW
 DB CIO3.CAS,0COH COUNTER/TIMER3 INTERRUPT. ENABLE
 DB CIO.MCC,14H ENABLE PORT A AND TIMER 3
 DB CIO3.CAS,6 TRIGGER AND GATE COMMAND
 DB CIO.MIC,94H MASTER INTERRUPT ENABLE

CIOSIZ = *-CIOTAB
 EJECT

```

*
SCCTAB      =      *
              DB      9,CHANRES          RESET
              DB      4,04H              ASYNC, 1 STOPBIT, X1 CLOCK
              DB      2,SCCVEK            INTERRUPT VEKTOR
              DB      3,0COH              8 RX BITS
              DB      5,60H              8 TX BITS
              DB      9,1                 VECTOR INCLUDES STATUS
              DB      11,56H              TX & RX CLK=BRG; TRXC=BRG OUT
              DB      12,BAUD9600          TIME CONSTANT LOW
              DB      13,BAUD9600/256      TIME CONSTANT HIGH
              DB      14,2                 PCLK IS BRG SOURCE
              DB      3,0C1H              RX ENABLE
              DB      5,68H              TX ENABLE
              DB      0,80H              RESET TXCRC
              DB      14,3                 BRG ENABLE (BAUD RATE GENER.)
              DB      15,0                 ALL EXT. STATUS INTERRUPT OFF
              DB      0,10H              RESET EXT STATUS
              DB      0,10H              RESET EXT STATUS
              DB      1,10H              RX INT ON ALL CHAR
              DB      9,9                 MIE+VIS+STATUS IN LOW BITS
SCCSIZ      =      *-SCCTAB
*
              END

```

Below is a module with the standard mnemonics for the SCC and CIO register structures, as used in the example above.

Nedan är en modul med standard namn för registerstrukturen i SCC och CIO, som de används i exemplet ovan.

STRC1006 PROG SBC1006 CIO AND SCC STRUCTURES.

```

*
              RADIX 16
*
CIOREG      STRUC          CIO REGISTER DEFINITIONS
*
*              MAIN CONTROL REGISTERS
*
CIO.MIC*    DS      1      MAIN INTERRUPT CONTROL
CIO.MCC*    DS      1      MAIN CONFIGURATION CONTROL
CIOA.IV*    DS      1      PORT A INTERRUPT VECTOR
CIOB.IV*    DS      1      PORT B INTERRUPT VECTOR
CIOCT.IV*   DS      1      COUNTER/TIMER INTERRUPT VECTOR
CIOC.DPP*   DS      1      PORT C DATA PATH POLARITY
CIOC.DD*    DS      1      PORT C DATA DIRECTION
CIOC.SIC*   DS      1      PORT C SPECIAL I/O CONTROL
*
*              MOST OFTEN ACCESSED REGISTERS
*
CIOA.CAS*   DS      1      PORT A COMMAND AND STATUS
CIOB.CAS*   DS      1      PORT B COMMAND AND STATUS
CIO1.CAS*   DS      1      COUNTER/TIMER 1 CMD AND STATUS
CIO2.CAS*   DS      1      COUNTER/TIMER 2 CMD AND STATUS
CIO3.CAS*   DS      1      COUNTER/TIMER 3 CMD AND STATUS
CIOA.DAT*   DS      1      PORT A DATA
CIOB.DAT*   DS      1      PORT B DATA
CIOC.DAT*   DS      1      PORT C DATA
*

```

* COUNTER/TIMER RELATED REGISTERS

*
CIO1.CCM* DS 1 MSB COUNTER/TIMER 1 CURRENT COUNT
CIO1.CCL* DS 1 LSB COUNTER/TIMER 1 CURRENT COUNT
CIO2.CCM* DS 1 MSB COUNTER/TIMER 2 CURRENT COUNT
CIO2.CCL* DS 1 LSB COUNTER/TIMER 2 CURRENT COUNT
CIO3.CCM* DS 1 MSB COUNTER/TIMER 3 CURRENT COUNT
CIO3.CCL* DS 1 LSB COUNTER/TIMER 3 CURRENT COUNT
CIO1.TCM* DS 1 MSB COUNTER/TIMER 1 TIME CONSTANT
CIO1.TCL* DS 1 LSB COUNTER/TIMER 1 TIME CONSTANT
CIO2.TCM* DS 1 MSB COUNTER/TIMER 2 TIME CONSTANT
CIO2.TCL* DS 1 LSB COUNTER/TIMER 2 TIME CONSTANT
CIO3.TCM* DS 1 MSB COUNTER/TIMER 3 TIME CONSTANT
CIO3.TCL* DS 1 LSB COUNTER/TIMER 3 TIME CONSTANT
CIO1.MS* DS 1 COUNTER/TIMER 1 MODE SPEC.
CIO2.MS* DS 1 COUNTER/TIMER 2 MODE SPEC.
CIO3.MS* DS 1 COUNTER/TIMER 3 MODE SPEC.
CIOCT.CV* DS 1 COUNTER/TIMER CURRENT VECTOR

* PORT A SPECIFICATION REGISTER

CIOA.MS* DS 1 PORT A MODE SPECIFICATION
CIOA.HS* DS 1 PORT A HANDSHAKE SPECIFICATION
CIOA.DPP* DS 1 PORT A DATA PATH POLARITY
CIOA.DD* DS 1 PORT A DATA DIRECTION
CIOA.SIC* DS 1 PORT A SPECIAL I/O CONTROL
CIOA.PP* DS 1 PORT A PATTERN POLARITY
CIOA.PT* DS 1 PORT A PATTERN TRANSITION
CIOA.PM* DS 1 PORT A PATTERN MASK

* PORT B SPECIFICATION REGISTER

CIOB.MS* DS 1 PORT B MODE SPECIFICATION
CIOB.HS* DS 1 PORT B HANDSHAKE SPECIFICATION
CIOB.DPP* DS 1 PORT B DATA PATH POLARITY
CIOB.DD* DS 1 PORT B DATA DIRECTION
CIOB.SIC* DS 1 PORT B SPECIAL I/O CONTROL
CIOB.PP* DS 1 PORT B PATTERN POLARITY
CIOB.PT* DS 1 PORT B PATTERN TRANSITION
CIOB.PM* DS 1 PORT B PATTERN MASK

*
ENDS

* REGISTER ADDRESSES FOR CIO AND SCC ON 1006

*
STRUC
ORG 30H
CIO.PRTC* DS 1 PORT C DATA REGISTER
CIO.PRTB* DS 1 PORT B DATA REGISTER
CIO.PRTA* DS 1 PORT A DATA REGISTER
CIO.CTRL* DS 1 CIO CONTROL
ENDS

*
STRUC
ORG 38H
SCCB.CMD* DS 1 SCC CHANNEL B CONTROL
SCCB.DAT* DS 1 SCC CHANNEL B DATA
SCCA.CMD* DS 1 SCC CHANNEL A CONTROL
SCCA.DAT* DS 1 SCC CHANNEL A DATA
ENDS

*
END

5. REFERENCES

5. REFERENSER

- (1) Z80B: Z80B programming manual from Zilog
- (2) SCC: Zilog Z8530A SCC serial communication controller.
- (3) CIO: Zilog Z8536A CIO counter/timer and parallel I/O unit.
- (4) NVRAM: National Semiconductor. Programming manual for NMC 9306 256 bit EEPROM or NMC 9646 1024 bit EEPROM
- (5) Prom-BASIC Prom-BASIC programming manual
- (6) Monitor Manual for the PROM-monitor for the DataBoard single board computers.
- (7) OS8MT: OS8MT Programmers manual
OS8MT Operators manual
- (8) 5140 DataBoard datasheets for these products.
Cables
Rack

6. ACCESSORIES

5140 booster card

The optional booster card contains two standard DA15P connectors and logic for internal split speed generation. No jumpers are used.

The 5140 is mounted directly on the 1006 I/O-connector and adds 50 mm to the length of the 1006 card. See the figure in the installation section.

Cables

Standard cables are available with connectors for the 5140 card.

NVRAM option:

The optional NVRAM chip is mounted in an 8-pin socket on the 1006 for non-volatile storage of user parameters.

Low-speed data net (D-LINK)

The 5079 low speed net adapter card may be used to interconnect several computers, having V24-channels. The support software D-LINK is available with Prom-BASIC, OS8MT and for ABC800.

6. TILLBEHÖR

5140 boosterkort

Boosterkortet 5140 har två standardkontakter DA15P och logik för att generera split speed på 1006. Inga byglingar används.

5140 monteras direkt på I/O-kontakten på 1006 och lägger till 50 mm till längden på 1006. Se figuren i kapitlet om installation.

Kablar

Standardkablar finns med kontakter för kortet 5140.

NVRAM option

En NVRAM-krets kan monteras i en 8-stifts sockel på 1006 för oförstörbar lagring av användarparametrar.

Låghastighetsnät (D-LINK)

Adaptern för låghastighetsnätet kan användas för att koppla samman flera datorsystem som har V24-portar. Supportprogram (D-LINK) finns för Prom-BASIC, OS8MT och ABC800.

Prom-BASIC

DataBoard BASIC II is available for the 1006 single board computer for program development as well as for PROM'ed applications.

BASIC programs may be developed directly on the 1006 computer, tested within the system, and transferred to EPROM, using an EPROM programmer. Disk units or bubble memory cards are used as secondary storage, using UFD-DOS.

The BASIC interpreter for developments can be delivered in one EPROM (32 Kbytes) of the type 27256 for mounting on the 1006 in the socket 5 (8A).

To use together with the application, a smaller version of the BASIC interpreter is transferred to EPROM together with the user program. The interpreters are delivered on a diskette.

The BASIC for 1006 is compatible with the ABC800 BASIC II, but contains additional commands and functions for efficient handling of the 1006 features:

- Serial channels
- External memory access as device MEM:
- NVRAM access
- CMOS-RAM and power fail

For details see the manual for the Prom-BASIC for 1006.

Prommable OS8MT

OS8MT may be configured for use on the 1006 computer.

Programs are developed on larger DataBoard OS8MT system and are transferred to PROM together with selected modules of the multitasking OS8MT system programs.

Prom-BASIC

DataBoard BASIC II finns för 1006 enkortsdator för programutveckling såväl som för PROM-ade tillämpningsprogram.

BASIC program kan utvecklas direkt på datorn 1006, testas inom systemet och överförs till EPROM med en EPROM-programmerare. Skivminne eller bubbelminne kan användas som sekundärenhet, med UFD-DOS.

BASIC-avkodaren för utveckling kan levereras i ett EPROM (32 Kbytes) av typen 27256 för montering i sockel 5 (8A) på 1006.

För användning i tillämpningsprogram finns en mindre version av BASIC-avkodaren som kan överföras till EPROM tillsammans med användarprogrammet. Avkodarna levereras som filer på diskett.

BASIC för 1006 är kompatibel med ABC800 BASIC II, men innehåller ytterligare kommandon och funktioner för att effektivt hantera funktionerna på 1006.

- Seriekanalerna
- Access till externt minne som device MEM:
- Access till NVRAM
- CMOS-RAM och kraftavbrott

För detaljer, se manualen för Prom-BASIC med 1006.

Prommerbar OS8MT

OS8MT kan konfigureras för att användas på datorn 1006.

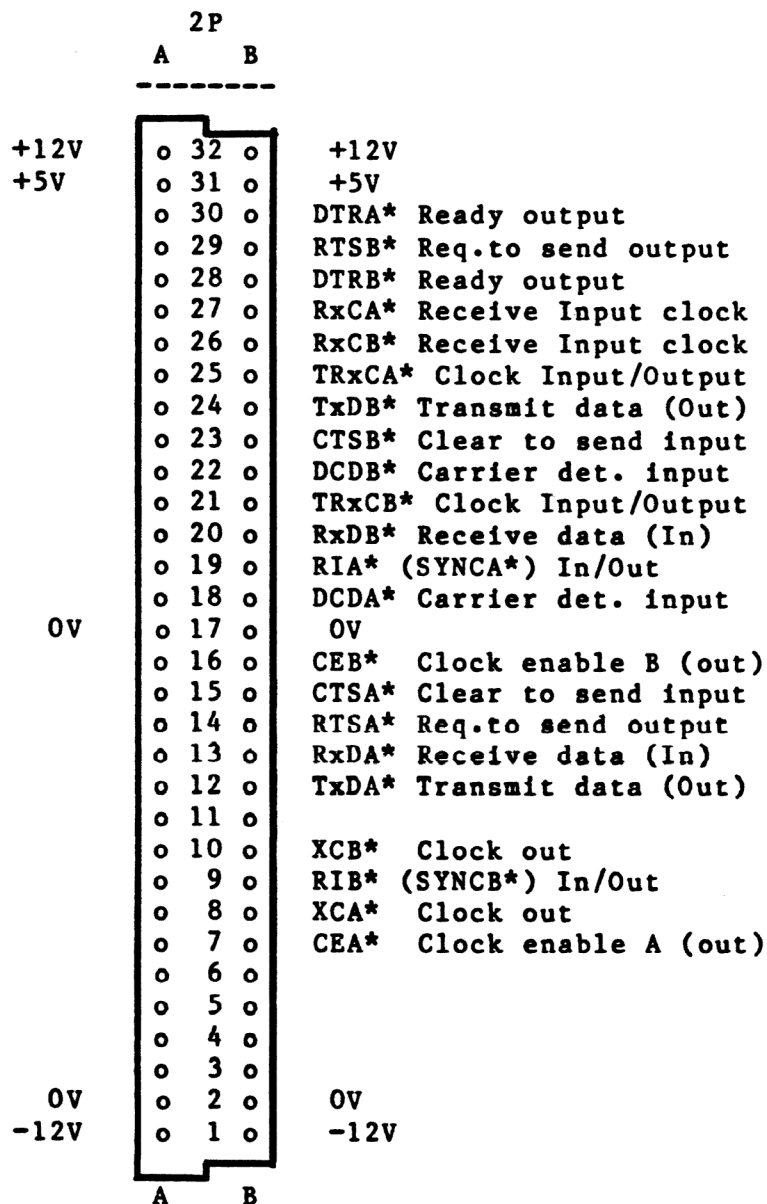
Program utvecklas på större DataBoard OS8MT system och överförs till PROM tillsammans med valda moduler ut OS8MT systemprogram.

7. I/O- AND BUS-CONNECTORS

2P: Serial channels A and B:
Seen from outside with the
component side to the right.
For connection of the 5140
adapter card.

7. I/O- AND BUSS-KONTAKTER

2P: Seriekanalerna A och B:
Sedd utifrån med komponent-
sidan till höger.
För anslutning av adapter-
kortet 5140.

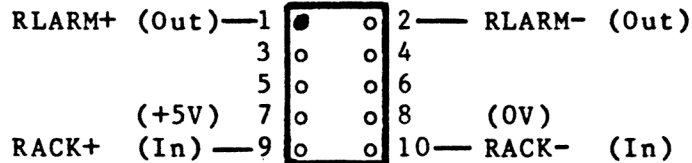


3P: Reset-Alarm input/output:
 Optoisolated I/O, as
 seen from outside.
 An arrow on the socket
 indicates pin 1.

RLARM = Reset Alarm output
 RACK = Acknowledge Alarm

3P: Reset-Larm in/ut-signaler:
 Optoisolerad I/O, såsom sedd
 från utsidan.
 En pil på sockeln visar på
 stift 1.

RLARM = Reset Larm utsignal
 RACK = Kvittering av Larm

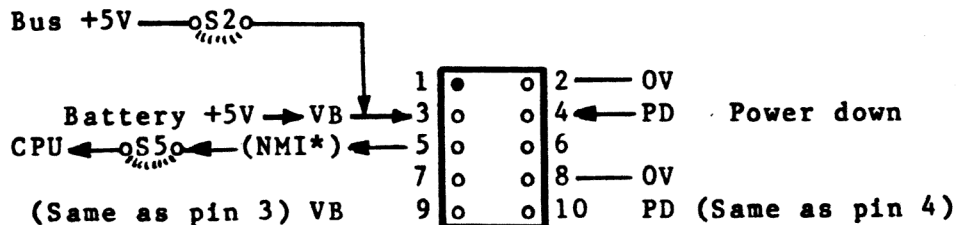


4P: Power fail/Battery:
 Connector, compatible
 with the 5059 card.
 Seen from outside.
 An arrow on the socket
 indicates pin 1.

Mount the jumper S2 and a
 jumper between the pins 2 and 4
 in the connector if no power
 fail/battery backup system is
 connected!

4P: Kraftavbrott/Batteri:
 Kantakten är kompatibel med
 kortet 5059.
 Sedd från utsidan.
 En pil på sockeln visar på
 stift 1.

Slut bygel S2 och bygla mellan
 stift 2 och 4 på kontakten om
 ingen spänningsavbrottskrets
 eller batteribackup ansluts.



1P: DataBoard bus connector

The bus connector on the single board computer is as below, as seen from outside with the component side to the right.

1P: DataBoard busskontakt

Busskontakten på enkortsdatorn är enligt nedan, sedd utifrån med komponentsidan till höger.

2P			
A	B		

+12V	o 32 o	+12V	
+5V	o 31 o	+5V	
WAIT*	o 30 o	MEMRQ*	
	o 29 o	BA0 External memory	
BA16	o 28 o	BA1	
BA17	o 27 o	BA2	
BA18	o 26 o	BA3	
OPS*	o 25 o	BA4	
NMI*	o 24 o	BA5	
CS*	o 23 o	BA6	
UTP*	o 22 o	BA7	
C1*	o 21 o	BA8	
C2*	o 20 o	BA9	
C3*	o 19 o	BA10	
C4*	o 18 o	BA11	
INP*	o 17 o	BA12	
STAT*	o 16 o	BA13	
RST*	o 15 o	BA14	
	o 14 o	BA15	
D0	o 13 o	INT 0*	
D1	o 12 o	INT 1*	
D2	o 11 o	INT 2*	
D3	o 10 o	INT 3*	
D4	o 9 o	INT 4*	
D5	o 8 o	INT 5*	
D6	o 7 o	INT 6*	
D7	o 6 o	INT 7*	
MEMWR*	o 5 o	⌀ BUS	
	o 4 o	MEMFL*	
RESIN*	o 3 o		
0V	o 2 o	0V	
-12V	o 1 o	-12V	
A	B		

8. TECHNICAL DATA

Processor, Clock

Z80B CPU with 6 MHz clock.
The CPU clock is modulated to
reduce access time requirements
on memory and I/O.

Power

+5V -2.5% +5% 1000 mA
VB memory power:
+5V +-2.5% active
Requirement on standby power
depends on the type.
+12V +-5% 50 mA With adapter
-12V +-5% 50 mA --
(+12V only with optional
adapter card 5140).

Environment

0 - 55 degrees C

Size

Standard Europe card
160 mm * 100 mm
Total length including the 5140
booster card is 210 mm.

Bus connection

For single board computer bus
connector. Standard 64-pin
Euro-connector, type B,
DIN 41612.

I/O-connectors

2P: Two serial channels with
modem control. TTL level.
Standard 64-pin, two-row Euro-
connector, type B, DIN 41612.
With the 5140 booster, V24
levels and standard DA15P
connectors are achieved.

3P: Opto-isolated alarm I/O.
10-pin ribbon cable connector.

4P: Power down, Battery backup
10-pin ribbon cable connector,
suitable for the 5059 card.

8. TEKNISKA DATA

Processor, Klocka

Z80B CPU med 6 MHz klocka.
CPU-klockan moduleras
för att reducera accesstids-
kraven på minne och I/O.

Spänningsförsörjning

+5V -2.5% +5% 1000 mA
VB minnesspänning:
+5V +-2.5% aktiv
Kraven på vilospänning
beror på typen.
+12V +-5% 50 mA Med adapter
-12V +-5% 50 mA --
(+12V endast med adapter-
kortet 5140).

Arbetsstemperatur

0 - 55 grader C

Storlek

Standard Europakort 160 * 100 mm
Total längd inklusive 5140
adapterkort är 210 mm.

Bussanslutning

För enkorts datorpositionen i
racken. Standard 64-stifts
Europakontakt, typ B,
DIN 41612.

I/O-kontakter

2P: Två seriekanaler med
modem-styrning.
Standard 64-stifts, tvåradig
Europakontakt, typ B, DIN 41612.
Med booster kort 5140 erhålls
V24-nivåer och standard DA15P-
kontakter.

3P: Optoisolerad larm I/O.
10-stifts flatkabelkontakt.

4P: Kraftavbrott, Batteriupp-
backning (Ex. från 5059).
10-stifts flatkabelkontakt.

Internal memory

Up to 64 KBytes in 5 ByteWyde sockets. CMOS-RAM with external battery backup and power fail are supported.

EPROM: 27256, 27128,(2764)

RAM: Ex. T5564

Using 27256 EPROM:

- 32 KB EPROM + 32 KB RAM
- 40 KB EPROM + 16 KB RAM
- 48 KB EPROM + 16 KB RAM

Without 27256:

- 32 KB EPROM + 24 KB RAM
- 24 KB EPROM + 24 KB RAM
- 16 KB EPROM + 24 KB RAM
- 8 KB EPROM + 24 KB RAM

Access time, internal memory

The requirements at FETCH are reduced by clock modulation, corresponding to 1/2 extra waitstate.

The requirement on the memory chips are:

Tacc	287	nsec
Tce	245	nsec
Toe	180	nsec

External memory:

Up to 512 kBytes external memory is accessed through the DataBoard bus connector. Access is through block I/O or register I/O. Only static memory is supported, using the memory control signals:

MEMFL*
MEMWR*
MEMRQ*

Access time, external memory

Access to external memory is through I/O-cycles, reducing the access time requirements. The total access time depends on:

- Bus delays < 10 nsec.
- Delays on the memory cards
- Delays in the memory chips

Internt minne

Upp till 64 KBytes i 5 ByteWyde-positioner. CMOS-RAM med extern batteribackup och spänningsövervakning kan användas.

EPROM: 27256, 27128,(2764)

RAM: Ex. T5564

Med 27256 EPROM:

- 32 KB EPROM + 32 KB RAM
- 40 KB EPROM + 16 KB RAM
- 48 KB EPROM + 16 KB RAM

Utan 27256 EPROM:

- 32 KB EPROM + 24 KB RAM
- 24 KB EPROM + 24 KB RAM
- 16 KB EPROM + 24 KB RAM
- 8 KB EPROM + 24 KB RAM

Accesstidskrav, internt minne

Kraven vid FETCH reduceras genom modulering av klockan, motsvarande 1/2 extra "wait-state".

Kraven på minneskretsarna är:

Externt minne:

Upp till 512 Kbytes externt minne kan accessas genom DataBoard-bussen. Access sker endast genom block-I/O eller register-I/O. Endast statiska minneskort kan användas, med minnestyrsignalerna:

MEMFL*
MEMWR*
MEMRQ*

Accesstidskrav, externt minne

Access till externa minnet sker via I/O-cykler, vilket reducerar accesstidskraven. Totala accesstiden bestäms av:

- Bussfördröjning < 10 nsek.
- Fördröjn. på minneskortet.
- Fördröjn. i minneskretsarna

The requirements are given below for the signals on the 1006 bus connector:

From ADDRESS to DATA 419 nsec
 From MEMRQ* to DATA 270 nsec
 From MEMFL* to DATA 260 nsec
 The MEMWR* strobe is >250 nsec

On-board serial I/O

2 serial communication channels with modem handshake signals, using a Z8530 SCC circuit.

- Full duplex
- Programmable baudrate
- TTL level signals.
- Asynchronous and Synchronous operation with programmable parameters. SDLC or HDLC modes. Auto-echo selectable.
- Programmable for NRZ, NRZI or FM data encoding.

Optional booster card (5140)

Full V24 (RS232C) levels on standard connectors (DA15P) for the two serial I/O-channels.

Support for programmable split speed baudrate.

I/O-expansion

Standard DataBoard single board computer bus.

Access time, DataBoard I/O

The requirements are reduced to the standard in spite of the 6 MHz clock, by clock modulation, corresponding to 2.5 extra wait states.

From INP to DATA 590 nsec
 OUT strobe length >580 nsec
 RST* strobe length >1400 nsec

A low (0) input on the WAIT* pin on the bus sets the Z80 in wait until the WAIT* signal is released.

Kraven ges nedan för signalerna på busskontakten på 1006.

Från ADDRESS till DATA 419 nsek
 Från MEMRQ* till DATA 270 nsek
 Från MEMFL* till DATA 260 nsek
 Stroben MEMWR* är >250 nsek

Seriekanaler på kortet

2 seriella kommunikationskanaler med handskaknings-signaler för modem, via en Z8530 SCC krets.

- Full duplex
- Programmerbar baudrate
- TTL nivå på signalerna.
- Asynkron och Synkron mod med programmerbara parametrar. SDLC eller HDLC mod. Auto-eko valbart.
- Programmerbar för NRZ, NRZI eller FM datakodning.

Boosterkort 5140 (Tillbehör)

Fullständiga V24 (RS232C)-nivåer med standardkontakter (DA15P) för två seriekanaler. Med styrekretsar för programmerbar split speed.

I/O-expansion

Standard DataBoard enkorts-datorbus.

Accesstidskrav DataBoard I/O

Kraven reduceras till standardkraven trots 6 MHz klocka, genom extra modulering av klockan, motsvarande 2.5 extra wait states.

Från INP till DATA 590 nsek
 OUT-stroblängd >580 nsek
 RST* stroblängd >1400 nsek

En låg (0) insignal på WAIT*-stiftet på bussen sätter Z80 i väntmod till WAIT* gått hög igen.

Counter/timers/Real time clock
The 3 counter/timers are used
as:

- 1 For split speed generation or user application.
- 2 For split speed generation or user application.
- 3 As standard used as interval and real time clock.

NVRAM option

Space for optional NVRAM are available, with serial access through the CIO circuit. Suitable circuits are NMC 9346 (1024 bits) or NMC 9306 (256 bits).

Watchdog

Resets the system unless regularly pushed by the program each 1 second.

Reset-Alarm

Opto-isolated output to indicate system reset or power off status. ALARM when passive high (1) output.

Opto-isolated input for external acknowledge after power on.

Outputs: Open collector with max 35V. Active current at least 5 mA.

Inputs: Current input with 330 ohm resistor in serie and 2V voltage drop over the opto-coupler.
Min 5 mA, Max 50 mA.

Power down/Battery backup

An active low (0V) input signal (PD) is required to allow access to CMOS RAM circuits on-board.

Memory power (VB) to the CMOS-RAM circuits may be from an external source with battery backup (E.g. the 5059 card). The power required is given above.

Räknare / Realtidsklocka
De 3 räknarna används som:

- 1 För generering av split speed eller av användaren.
- 2 För generering av split speed eller av användaren.
- 3 Som standard används som intervall och realtidsklocka.

NVRAM (Tillbehör)

Plats finns för en NVRAM-krets med seriell access via CIO-kretsen. Lämpliga kretsar är NMC 9346 (1024 bitar) eller NMC 9306 (256 bitar).

Watchdog

Återställer systemet om den inte regelbundet återställs av programmet, varje 1 sekund.

Reset-LARM

Opto-isolerad utgång som indikerar system-reset eller spänningslös tillstånd. ALARM är vid hög (1) utgång.

Opto-isolerad ingång för extern återställning efter spänningstillslag.

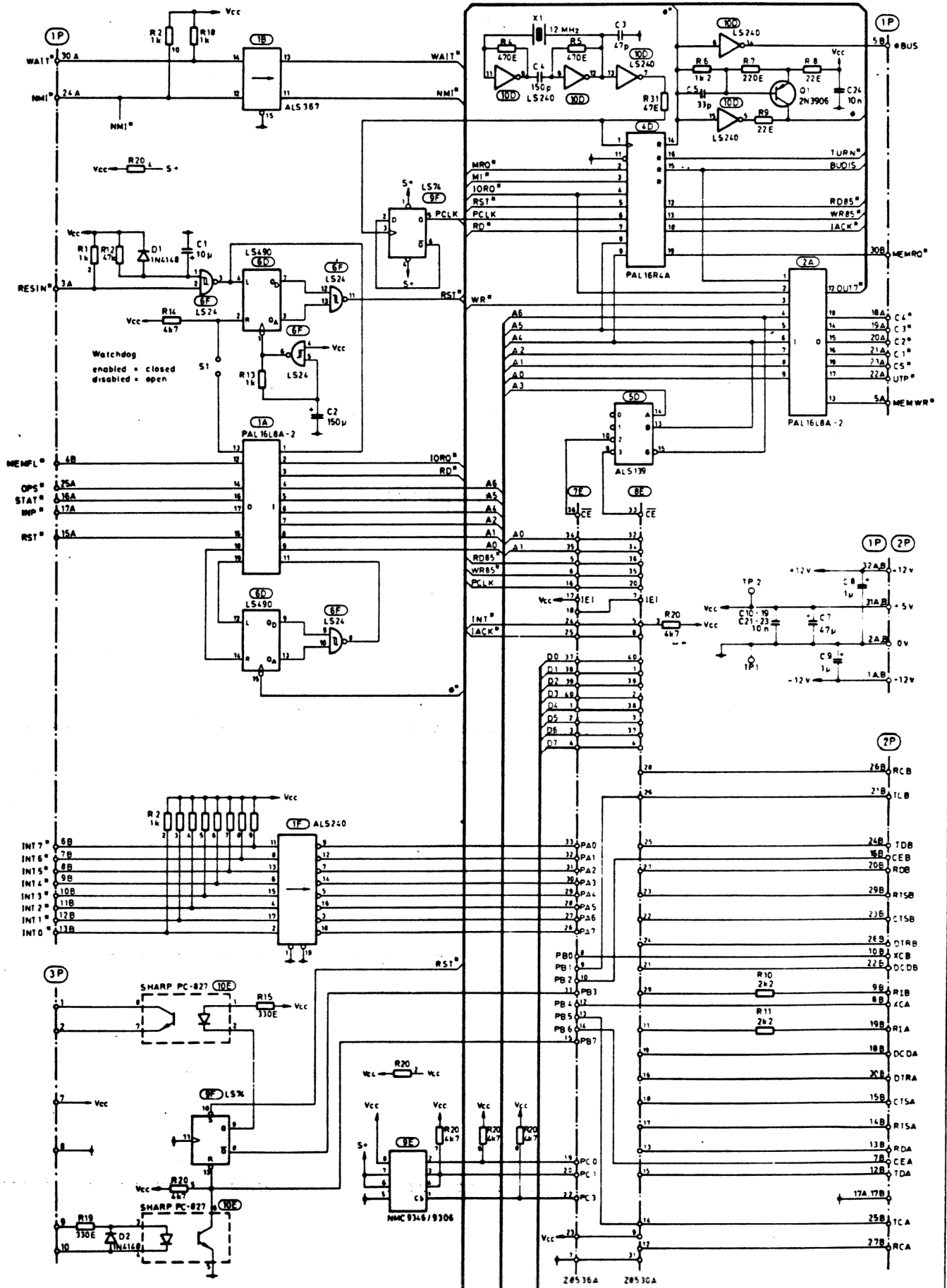
Utgång: Öppen kollektor med max 35V. Aktiv ström minst 5 mA.

Ingång: Strömingång med 330 ohm motstånd i serie och 2V spänningsfall över opto-kopplaren.
Min 5 mA, Max 50 mA.

Strömvabrott/Batteribackup

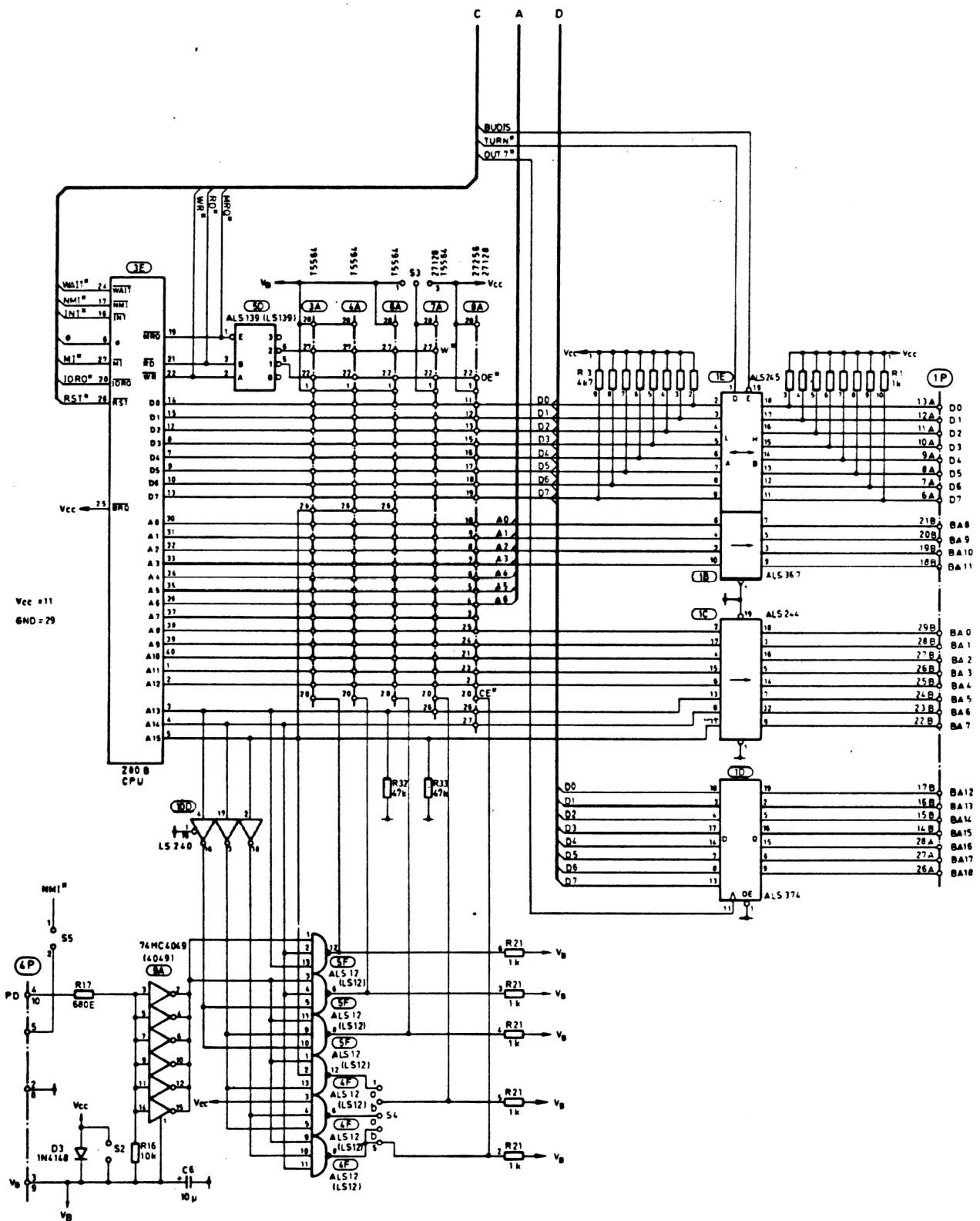
En aktivt låg (0V) insignal (PD) krävs för access till CMOS-RAM på kortet.

Minnesspänning (VB) till CMOS-RAM kan tas från en extern källa med batteribackup (t.ex. kortet 5059). Spänningskraven ges ovan.



C A D

This document must not be copied without our written permission. The contents hereof must not be imparted to a third party nor be used for any unauthorized purpose. Contravention will be prosecuted.

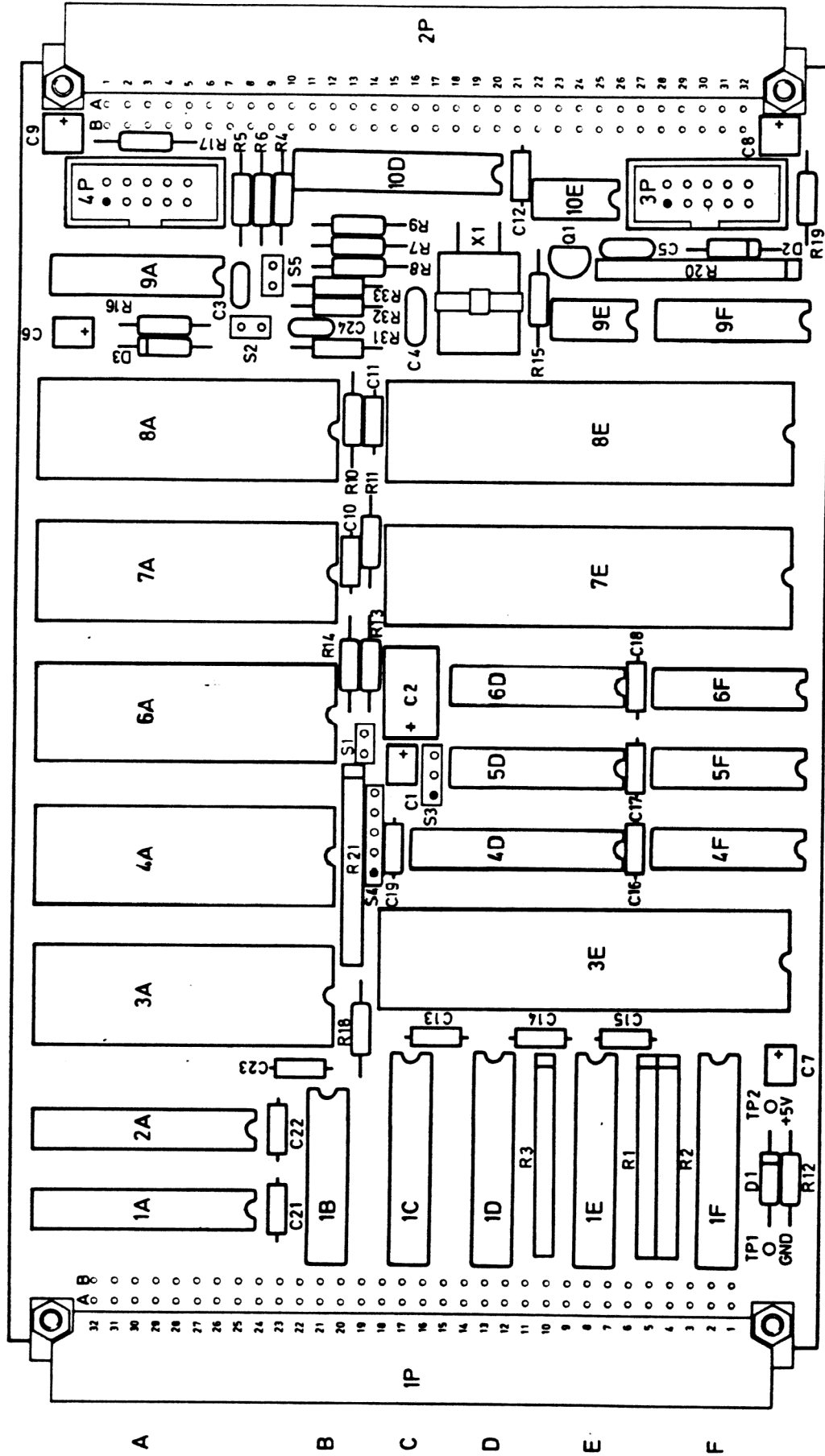


- S2 to be closed when no external power source for Vg
- S3 to be in position Vg when 7A = CMOSRAM else position Vcc
- S4 = a when 8A = 27256 in address 0
- S4 = b when 7A = 27128 in address 0 and 8A = 27128 in address 4000H
- S5 must not be closed if 4P is connected to the 5059

Remark: Memory in 4000H - FFFFH is access protected when the PD signal is high or open
Close 4P 2 & 4 to bring PD low.

This document must not be copied without our written permission and the contents thereof must not be imparted to a third party nor be used for any unauthorized purposes. Contravention will be prosecuted.

1 2 3 4 5 6 7 8 9 10



Default strapping: S1 S2

S3: 1-2

S4: 1-2, 3-4

4P: 2-4

																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																					</
--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	----

DOCUMENTATION COMMENT REPORT Nr: _____

Originator: _____
(Name, Address, _____
Telephone) _____

Date: _____

Manual/Datasheet: _____

Version & Date: _____

Related products _____
and versions: _____

Used in computer: _____
Operating system _____
version: _____

Delivered by: _____

Application: _____

Describe below the deviations found. Give the page, the error and if possible, your suggested correction.

Describe also how the deviation was found and what influence it had on your system.

PLEASE SEND THIS REPORT TO DataIndustrier DIAB AB
Documentation
Box 2029
S-183 02 Täby, Sweden

ACTION BY DOCUMENTATION STAFF.

Comment verified Date: _____ Sign: _____

COMMENTS FIXED:

Release notice:	Version _____	Date: _____	Sign: _____
Manual/Datasheet:	Version _____	Date: _____	Sign: _____
Media:	Version _____	Date: _____	Sign: _____
Hardware:	Version _____	Date: _____	Sign: _____

Transferred to distribution: Date: _____ Sign: _____

DataIndustrier DIAB AB

This document must not be copied without our written permission. If and how, without the need for our written permission, it may be used for any unauthorized purpose is the responsibility of the user.

