

=====

1003 AUG 82 1 19 .

CONTENTS

1. Description
2. Block diagram
3. Technical data
4. Internal memory
5. External memory
6. DataBoard bus expansion
7. Interrupt
8. Watchdog, Restart
9. DataBoard I/O-control
10. Control of internal I/O
11. CTC-control + Example
12. PIO-control + Example
13. Code-input control
14. I/O-pin numbering
15. Jumpers(Mem,Watchdog,Int)
16. Component layout
- App.1. Program ex.(1003-H)

INNEHÅLL

1. Beskrivning
2. Blockschema
3. Tekniska data
4. Internt minne
5. Externt minne
6. DataBoard bussextension
7. Interrupt
8. Watchdog, Återstart
9. DataBoard I/O-styrning
10. Styrning av intern I/O
11. CTC styrning + Exempel
12. PIO styrning + Exempel
13. Kod-inläsning styrning
14. I/O-stiftsnumrering
15. Bygglingar(Minne,Watchd,Int)
16. Komponentplacering
- App.1. Program ex.(1003-H)

=====

DESCRIPTION

The 1003 is a Single Board computer, based on Z80A-CPU, Z80A-CTC and Z80A-PIO. It contains memory sockets for up to 24 Kbytes EPROM or up to 16 Kbytes EPROM and 2 Kbytes BYTEWIDE static RAM.

The CTC and PIO provides 4 counters and 2 parallel 8-bit I/O ports with handshake. In addition a "1 of 8" code input, activated by a strobe, is available.

The 1003 is delivered with 2.5 MHz system clock, according to the DataBoard 4680 standard, but can be modified for 4 MHz by changing the crystal. Using 4 MHz, however, only the internal memory should be used.

Expansion of the memory and I/O is through the DataBoard single board computer bus.

The 1003 does not support DMA or dynamic memories. The double board computer 1043/1044 should be used when these features or more than 2 interrupt levels are required.

BESKRIVNING

1003 är en enkorts dator, baserad på Z80A-CPU, Z80A-CTC och Z80A-PIO. Den innehåller minnessocklar för upp till 24 Kbytes EPROM eller upp till 16 Kbytes EPROM och 2 Kbytes BYTEWIDE statiskt RAM.

CTC och PIO innehåller 4 räknare och 2 parallella 8-bits portar med handskakning. Dessutom finns en "1 av 8" kod-ingång, aktiverad av en strobe.

1003 levereras med 2.5 MHz systemklocka, enligt DataBoard 4680 standard, men kan modifieras för 4 MHz genom att byta kristall. Då 4 MHz används bör enbart det interna minnet användas.

Expansion av minne och I/O sker via DataBoard enkorts-datorbussen.

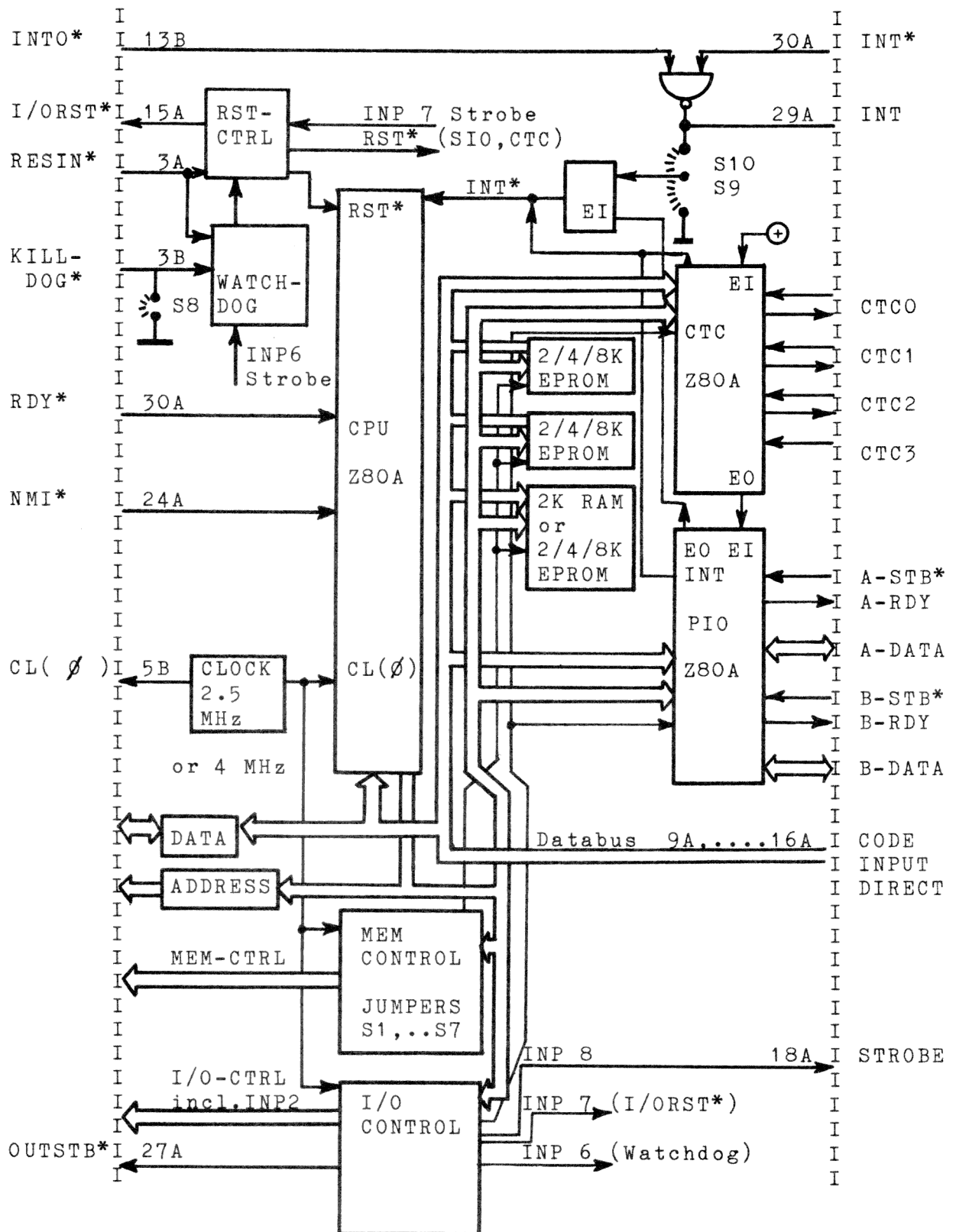
1003 kan ej hantera DMA eller dynamiska minnen. Tvåkorts-datorn 1043/1044 bör användas när denna funktion eller mer än 2 interruptnivåer behövs.

BLOCK DIAGRAM

BLOCK SCHEMA

DataBoard Bus

I/O-Connector



TECHNICAL DATA

TEKNISKA DATA

Processor Z80A (4 MHz version)

Number of instructions: 158, includes 4, 8 and 16 bit operations.
Antal instruktioner: 158, inkl. 4, 8 och 16 bit operationer.

System clock: -Standard 2.5 MHz.
Systemklocka: Optional 4 MHz by replacing the 5 MHz crystal with an 8 MHz crystal.

-Standard 2.5 MHz.
Valbart 4 MHz genom att ersätta 5 MHz kristallen med en 8 MHz kristall.

Internal memory: -Three 28-pin sockets for EPROM, of which one
Internt minne: can be used for EPROM or ByteWyde RAM.
Max 24 K EPROM or 16 K EPROM and 2 K RAM
Use Mostek MK4802 or equivalent RAM.
Use 2716, 2732 or 2764 EPROM.
Note! the access time requirements with 4 MHz clock.(2716 can not be used in the third socket with 4 MHz).

-Tre 28-stifts socklar för EPROM, av vilka en kan användas för EPROM el. ByteWyde RAM.
Max 24 Kbytes EPROM eller 16K EPROM och 2K RAM
Använd Mostek MK4802 eller motsvarande RAM.
Använd 2716, 2732 eller 2764 EPROM.
Obs! Access tiderna måste beaktas med 4 MHz.
(2716 kan ej användas i tredje sockeln med 4 MHz).

External memory: -With 2.5 MHz system clock, expansion of the
Externt minne: memory can be done up to 64 Kbytes of RAM and EPROM with a standard single board computer bus. Only static memories can be used.
External memory in the same address range as the internal memory can not be accessed.

With 4 MHz system clock, only internal memory should be used (Access time limitation).

-Med 2.5 MHz systemklocka kan minnet expanderas till max 64 Kbytes RAM och EPROM med en standard enkortsdator-buss. Om kontrollern 5077 används kan max 128 Kbytes minne anslutas. Endast statiska minnen kan anslutas. Externt minne på samma adresser som det interna minnet kan ej användas, men stör ej.

Med 4 MHz systemklocka bör enbart det interna minnet användas.(Accesstidsbegränsat).

```

=====
Internal I/O:      -Z80A-CTC. 4 counters with trigg-inputs and 3
Internt I/O       Zero-count/Timeout outputs(Driving low 2 mA).

                  Z80A-PIO. 2 parallel 8-bit I/O ports with 2
                  handshake lines each. TTL kompatible levels.
                  (Driving low 2 mA output). For port B only,
                  also the high state is driving (-1.5 mA/
                  1.5 V). See the Z80A-PIO product
                  specification for details.

                  Code input. "1-of-8" input, directly
                  connected to the internal data bus.
                  Special strobe (INP 8) for activating
                  one of the eight data bits or an external
                  buffer circuit.

- Z80A-CTC. 4 räknare med trigg-ingångar och 3
  Noll/Timeout utsignaler (Låg nivå drar 2 mA).

  Z80A-PIO. 2 parallella 8-bits I/O portar med
  2 handskakningslinjer vardera. TTL kompatibla
  nivåer (Låg utgång drar 2 mA). För enbart
  port B driver även hög utgång med -1.5 mA/
  1.5 V. Se Z80A-PIO produktspecification
  för detaljer.

  Kod-ingång. "1-av-8" ingång, direkt kopplat
  till den interna databussen.
  Speciell strobe (INP 8) för att
  aktivera en av åtta databitar eller en
  extern bufferkrets.

I/O-buffering:    -The internal I/O can be buffered with the
I/O-buffer:       PIO-booster 5099. 5099 does not support the
                  code-input, however.

                  -Interna I/O kan buffras med PIO-boostern
                  5099. 5099 har inga kretsar för kod-ingången.

I/O-expansion:    -Max 64 I/O cards from the DataBoard series.
                  Note the access time requirements with 4 MHz.

                  -Max 64 I/O-kort från DataBoard serie.
                  Obs accesstiderna om 4 MHz klocka används.

Interrupts:       -2 levels. Active low.
                  NMI*   Non-Maskable-Interrupt.
                  INT*   Common level for I/O.

                  -2 nivåer. Aktivt låg insignal.
                  NMI*   Non-Maskable-Interrupt (Ej avstängbart).
                  INT*   Gemensam nivå för all I/O.

```

=====

Watchdog: -Time-out with CPU reset, unless pushed by the program with 1 sec intervals or less. Can be disconnected by a jumper or by connecting pin 3B to 0V in the bus connector.

 -Time-out med CPU-reset, om inte påstötning (INP 6) sker med 1 sek. intervall eller mindre. stängas av med bygling eller jordning av 3B i buskontakten.

Real-Time-Clock: -Provided through the on-board counter/timer chip (CTC), using the system clock or an external clock.

Realtidsklocka: -Erhålles med räknar/tidtagar-kretsen på kortet (CTC), som kan använda systemklockan eller en extern klocka.

Power: +5 V $\pm 5\%$ = 0,75 A (Excluding Memories)

Kraftmatning: +5 V $\pm 5\%$ = 0,75 A (Utan Minnen)

Connectors: -B 64-pin Euroconnector plugs DIN 41612 on both bus-side and I/O-side.

Kontakter: The I/O connector is keyed to prevent insertion in the bus.

 -B 64-stifts Europakontakt (plugg) DIN 41612 på både buss- och I/O-sidan. I/O-kontakten är nycklad för att förhindra att den stoppas in på bussen.

Environment: Operating 0 - 55 degrees Celsius.

Omgivning: 0 - 55 grader celsius.

=====

This datasheet information is subject to change without notice.

INTERNAL MEMORY

INTERNA MINNET

Three 28-pin memory sockets are available, two for EPROM only and one for RAM or EPROM according to the BYTEWYDE concept.

Tre 28-stifts minnessocklar finns på kortet, två för enbart EPROM och en för RAM eller EPROM av BYTEWYDE typ.

The 2716/2732/2764 EPROM can be used in all three sockets. Note! The shorter access time in the ByteWyde socket. As RAM, the MK4802 or equivalent memory chip can be used.

2716/2732/2764 EPROM kan användas i alla tre socklarna. Obs. att accesstiden som krävs är kortare i ByteWyde-sockeln. Som RAM kan MK4802 eller ekvivalent minneskrets användas.

The jumpers S1 --- S7 select the memory type and size. The EPROM socket at 4C is always at address 0000H followed by the EPROM socket at 5C in the address range. RAM in the socket 7C is always at high address below 0FFFFH, while EPROM in the same socket is directly following the other EPROM sockets.

Byglingarna S1 --- S7 väljer minnestyp och storlek. EPROM-kretsen i pos. 4C ligger alltid på address 0000H följd av EPROM-kretsen i pos. 5C i adressområdet. RAM i sockel 7C ligger alltid på höga adresser under 0FFFFH, medan EPROM i samma sockel läggs direkt efter de andra EPROM kapslarna.

0FFFFH

I	RAM	7C	2K
I			
I			
I	External		
I			
I			
I	EPROM	5C	2/4/8K
I			
I	EPROM	4C	2/4/8K

0000H

0FFFFH

I			
I			
I	External		
I			
I			
I	EPROM	7C	2/4/8K
I			
I	EPROM	5C	2/4/8K
I			
I	EPROM	4C	2/4/8K

0000H

NOTE! THE POSITION OF THE 24-PIN MEMORY CHIPS IN THE 28-PIN SOCKET!

See the component layout! The ground pin (no.12) shall, as the entire chip be adjusted towards the edge of the card.

OBS! POSITIONEN FÖR 24-STIFTS-MINNESKRETSEN I 28-STIFTS-SOCKELN!

Se komponentplaceringen. Jordstiftet (stift 12) skall, som hela kretsen sättas närmast kanten på kortet.

The access time requirements on the internal memory chips are, depending on the clock:

Accesstidskraven på de interna minneskretsarna är, beroende på systemklockan:

System clock

2.5MHz 4MHz

In BYTEWYDE socket:

Tacc	655	355	nsec
Tce	595	295	nsec (not 2716
Toe	448	223	nsec with 4 MHz)

In pure EPROM socket:

Tacc	655	355	nsec
Tce	655	355	nsec
Toe	423	198	nsec

EXTERNAL MEMORY

EXTERNT MINNE

With 2.5 MHz system clock, standard DataBoard 4680 static memory boards with RAM and EPROM can be used, incl. the 2003 16K RAM.

Med 2.5 MHz systemklocka kan standard DataBoard 4680 minneskort användas med RAM och EPROM, inkl. 2003 16K RAM.

With 4 MHz, only the internal memory should be used, due to the access time requirements. However, the 2055 8K RAM can be used with 2114-2 circuits instead of the standard 2114-3 a and 8205 chip instead of 74LS138 in pos. 1B on the 2055. The standard 2055 can be used for data only, as the Z80 permits longer access time for pure data than for programcode.

Med 4 MHz bör endast det interna minnet användas, beroende på kravet på accesstid. 2055 8K RAM kan emellertid användas med 2114-2 kretsar istället för 2114-3, som är standards och 8205 istället för 74LS138 i pos. 1B på 2055. Standard 2055 kan användas för enbart data, då Z80 tillåter längre accesstid för ren data än för programkod.

The memory control signals on the DataBoard bus are:

MEMW* for memory write

MEMFL* for memory read

16 bits address

Wait-states for slow memories are not generated.

Minneskontrollsignalerna på DataBoard bussen är:

MEMW* skriva till minnet

MEMFL* läsa från minnet

16 bitars adress

"Wait-states" för långsamma minneskretsar genereras ej.

The external MEMFL* strobe is only generated for addresses outside the internal memory range.

Den externa MEMFL* stroben genereras enbart för adresser utanför det interna minnesområdet.

Access time requirements.

Accesstidskrav.

The total external access time depends on the bus delays, the delays on the selected memory cards and the delays in the memory chips.

Den totala externa accesstiden bestäms av buss-fördröjningar, fördröjningar på de valda minneskorterna samt fördröjningar i minneskretsarna.

The external memory access time requirements depends on the system clock.

De externa minnes-accesstidskraven beror på systemklockan.

During an instruction FETCH the requirements are as below, for data on the bus-connector. For reading data only, add 110 nsec for 4 MHz or 185 nsec for 2.5 MHz.

Under en "instruction FETCH" är kraven enligt nedan för data på busskontakten. För ren läsning och skrivning av data kan 110 nsec (4 MHz) eller 185 nsec (2.5 MHz) tilläggas.

External memory access time. Extern minnesaccesstid.

System clock: 2.5 MHz 4 MHz

From ADDRESS to DATA: 625 nsec 325 nsec

From MEMFL* to DATA: 359 nsec 134 nsec

For external I/O cards, the access time requirements on the 1003 bus connector are:

För externa I/O kort gäller nedanstående accesstidskrav på 1003 busskontakt:

System clock: 2.5 MHz 4 MHz

From INP-strobe to DATA: 759 nsec 384 nsec

DATABOARD BUS EXPANSION

Standard and flexible expansion is provided, using the 8-slot or the 20-slot backplanes. A user wired backplane according to the system manual can also be used.

The 1003 may use a backplane double board computer for the 1043/1044 if the CPU-slot is equipped with a 6061 jumper board and the 1003 is inserted in the control card slot. On backplanes with a MAC-slot, the 6054 jumper board must be installed in the MAC slot. See the system manual for details.

The 8-slot backplane is for single board computers and ABC80/ABC800 only.

NOTE! that the SENSE* input strobe and the general OUTSTB* output strobe are available on the bus connector. If an old version of the double board computer bus is used, the pin 25A (SENSE*) on the bus must be disconnected from the ADRFL* (CPU-slot pin 25A). Old versions of the single-board computer backplane does not have the SENSE* strobe wired on the I/O-bus.

DATABOARD BUSEXPANSION

En standardiserad och flexibel expansion erhålles med 8-positions eller 20-positions bakplan. Ett bakplan virat av användaren enligt systemmanualen kan även användas.

1003 kan använda ett bakplan för 1043/1044 två kortsdatorn, om 6061 byglingsplugg installeras i CPU-positionen och 1003 sättes i kontrollkortets position. I bakplan med MAC-position måste 6054 byglingsplugg sättas i MAC-positionen. Se systemmanualen för detaljer.

8-positions bakplanet är enbart för enkorts datorer samt ABC80/ABC800.

OBS! att SENSE* in-stoben samt den generella OUTSTB* ut-stoben finns på busskontakten. Om en äldre variant av tvåkorts datorbussen används, måste stift 25A (SENSE*) på bussen kopplas bort från ADRFL* (CPU-pos. stift 25A). Äldre versioner av enkorts datorbussen har ej SENSE*-stroken virad på I/O-bussen.

INTERRUPT

Two interrupt levels are available.

- NMI*

The Non-Maskable-Interrupt is directly connected from the bus connector. An active low signal generates a call to address 66H. This can not be disabled by software and is used for actions needing fast response, like the "Power-Down" routine. Return from an NMI service routine shall use the RTN instruction.

- INT*

The interrupt is permanently connected from the internal I/O-circuits CTC and PIO. They are connected in a priority chain "daisy-chain", to which the external interrupt input can be connected by the jumpers S9 and S10.

The priority order is from the highest to the lowest:

CTC0, CTC1, CTC2, CTC3, PIO-A, PIO-B, External

To reset the priority chain after servicing an internal interrupt, the RTI instruction should be used.

The Z80 interrupt is mode controlled by the program. At power-up, mode 0 is automatically set and interrupts are disabled.

Mode 1:

Interrupt generates a call to the address 38H.

Mode 0 and Mode 2:

The interrupting device generates a vector on the data bus. For the CTC and PIO, the user program has stored the vector in a register. For external interrupts the vector OFFH is always generated.

The CTC or PIO can not be used with mode 0, as the vector bit 0 always is 0.

INTERRUPT

Två interrupt-nivåer finns.

- NMI*

Det ej maskbara interruptet är direkt anslutet till busskontakten. En aktivt låg signal genererar ett anrop till adress 66H. Detta kan ej stängas av med programvara och används för rutiner som kräver snabba åtgärder, som t. ex. kraftavbrottsrutiner. Vid return från en NMI rutin skall RTN instruktionen användas.

- INT*

Interrupt är alltid anslutet från de interna I/O kretsarna CTC och PIO. De är anslutna i en prioritetskedja "daisy-chain", till vilken den externa interruptingången kan anslutas med byglingarna S9 och S10.

Prioritetsordningen är från den högsta till den lägsta:

För att återställa prioritetskedjan efter att ett internt interrupt åtgärdats, ska RTI instruktionen användas.

Z80 interrupt struktur är mod-styrt av programmet. Vid spänningstillslag sättes automatiskt mod 0 och interrupt avkänningen är avstängd.

Mod 1:

Interrupt genererar ett sub-rutinanrop till adress 38H.

Mod 0 och Mod 2:

Den enhet som gett interrupt, genererar en vektor på databussen. För CTC och PIO har användarprogrammet lagrat vektorn i ett register. För externa interrupt genereras alltid vektorn OFFH.

PIO och CTC kan ej användas med mod 0 eftersom vektorns bit 0=0.

Mode 0: (Not with CTC or PIO)
The Z80 interprets the vector
as a one-byte instruction.
Normally a RST-instruction is
used to generate a call to a
memory address. Only external
interruption can be used.

Mod 0: (Inte med CTC eller PIO)
Z80 tolkar vektorn som en
en-bytes-instruktion.
Normalt används en RST-instuk-
tion för att generera ett anrop
till en minnesadress. Endast
externa interrupt kan användas.

Address: 38H
Vector: OFFH (OFFH=external)

Mode 2:
The vector, together with the
I-register in the CPU, is a
16-bit pointer to an address-
table, containing the entry
addresses to interrupt service
routines.

Mod 2:
Vektorn används tillsammans
med I-registret i CPU som en
16-bits pekare till en adress-
tabell med pekare till sub-
rutiner för interrupthantering.

The I-register and the address
are generated by the user.

I-registret och adresstabellen
skrivs av användaren.

Vector (low-byte) + I-reg (high byte) ----> Table with pointer.
Pointer ----> Entry address to subroutine.

WATCHDOG

WATCHDOG

Program control by hardware is
achieved by the "watch-dog"
circuit, which resets the CPU
unless regularly pushed by an
INP 6 instruction in the user
program. The watch-dog shall be
pushed with a period of less
than 1 second, set by the e
components R5 and C4.

Övervakning av programmet med
hårdvara erhålles med "watch-
dog" kretsen, som ger reset
av CPU om den inte regelbundet
"stötes till" med en INP 6
instruktion i programmet. På
stötning ska ske med en period
mindre än 1 sekund, bestämt av
komponenterna R5 och C4.

The jumper S8 is closed to
permanently disconnect the
watch-dog, which also can be
achieved by holding KILLDOG*
low (pin 3B in the bus
connector).

Bygling S8 slutes för att
permanent stänga av watch-dog.
vilket även kan göras genom
att hålla KILLDOG* låg (pin
3B i buskontakten).

No I/O-RST* signal is
generated by the watch-dog.

Ingen I/O-RST* signal genereras
av watch-dog.

RESTART

UPP- OCH ÅTERSTART

At power-up or hardware reset
by the RESIN* signal, the
CPU, the CTC and the PIO are
reset and an I/O-RST* signal
resets all I/O-cards on the
DataBoard I/O-bus. The I/O-RST*
can also be generated by the
INP 7 instruction.

Vid spänningspåslag och hård-
varureset med RESIN* signalen,
ges reset till CPU, CTC och PIO
och en I/O-RST* signal går ut
till alla I/O-kort på Data-
Board I/O-buss. I/O-RST* kan
även genereras av INP 7 -
instruktionen.

STANDARD DATABOARD I/O-CONTROL

For the DataBoard 4680 I/O bus, the standard I/O strobes are generated. See the system manual for details.

OUT*	OUT 0	DATA
CS*	OUT 1	Card Select
C1*	OUT 2	Out strobe
C2*	OUT 3	Out strobe
C3*	OUT 4	Out strobe
C4*	OUT 5	Out strobe

OUTSTB* General OUT-strobe, generated at all OUT-XXX
 Generell OUT-strob, genereras vid alla OUT-XXX

Note that the SENSE* strobe (INP 2) is not used in older DataBoard systems. It corresponds to OP5* on pin 25A.

With 2.5 MHz system clock, all DataBoard I/O-cards are available, but with 4 MHz, the access time requirements should be considered for complex interfaces. See the table in the section about external memory.

CONTROL OF INTERNAL I/O

For the internal I/O, i.e. the CTC, PIO and the "1 of 8" code the following I/O port are used.

CTC0	OUT	30H	INP	30H
CTC1	OUT	31H	INP	31H
CTC2	OUT	32H	INP	32H
CTC3	OUT	33H	INP	33H

PIO-A	OUT	38H	INP	38H	Data I/O
PIO-A	OUT	39H			Control
PIO-B	OUT	3AH	INP	3AH	Data I/O
PIO-B	OUT	3BH			Control

Code	INP 8	1 of 8 code input. (Port 8,9,...OFH gives the same)
------	-------	--

The external DataBoard strobes are independant of the internal I/O control strobes. Thus the card selection on the bus is not effected by internal I/O.

STANDARD DATABOARD I/O-STYRNING

Standardiserade I/O-strobar
genereras för DataBoard 4680
I/O-buss. Se system manualen
för detaljer.

INP*	INP 0	DATA
STAT*	INP 1	Status input
SENSE*	INP 2	New in-strobe

```
PUSHDOG* INP 6  PUSH watchdog
I/O-RST* INP 7  Reset I/O bus
```

Obs! att SENSE* stroben (INP2) inte användes i äldre DataBoard system. Den motsvarar OP5* och finns på stift 25A.

Med 2.5 MHz systemklocka är alla DataBoard I/O-kort användbara, men med 4 MHz bör accesstidskraven beaktas för komplexa interface. Se tabellen i capitlet om externa minne.

STYRNING AV INTERN I/O

För intern I/O, dvs. CTC, PIO och "1 av 8" avkodaren gäller följande I/O-portar.

The external DataBoard strobes are independant of the internal I/O control strobes. Thus the card selection on the bus is not effected by internal I/O.	De externa DataBoard strobarna är oberoende av de interna I/O styrningen. Till exempel påverkas inte kortvalet på bussen av intern I/O.
---	---

CTC CONTROL + EXAMPLE

CTC STYRNING + EXEMPEL

NOTE! Below is only a short description. The user needs the ZILOG CTC product specification in addition to this datasheet.

OBS! Nedanstående beskrivning är ej fullständig. Användaren behöver även ZILOGs produktbeskrivning över CTC.

Programming a CTC counter/timer is done by writing two or three control bytes to the CTC.

Att programmera en CTC räknar/tidtagarkrets görs genom att skriva två eller tre kontrolltecken till CTC.

Each CTC can be used as a down-counter of incoming signals. Alternatively it can be used as a timer, counting scaled system clock periods. If selected, the timer can be triggered by an external signal.

Varje CTC kan användas som en nedräknare av inkommande pulser. Alternativt kan den användas som en tidtagarkrets, som räknar nedskalade systemklockspulser. Tidtagaren kan triggas av en extern signal, om detta valts.

Channel control byte. Bit 0 = 1.

	D7	D6	D5	D4	D3	D2	D1	D0
1/	Int.	Count/	Pre-	Rising/	Trigg	Time	Reset	1
0	enable	Timer	scale	Falling		const.		
			256/16	edge		follows		

D5 and D3 are only used in timer mode.

D5 och D3 används enbart i tidtagarmod.

Time constant byte.: 1 - 255, 0=256.

This constant is the start value in the down-counter.

Denna konstant är startvärdet i nedräknarregistret.

Interrupt vector. Bit 0 = 0. Written to CTC0-port.

D7	D6	D5	D4	D3	D2	D1	D0
<--User supplied vector----->					X	X	0

The interrupt vector is always written to the CTC-0 port. At interrupt, the CTC inserts the CTC number (0-3) in the bits D1,D2.

Interrupt vektorn skrivs alltid till CTC-0 porten. Vid interrupt sätter CTC bitarna D1,D2 till CTC-numret (0-3).

As bit 0 in the vector is 0, the CTC can not give the one-byte RST n instructions used in the Z80 interrupt mode 0.

Då bit 0 i vektor är 0, kan CTC inte ge någon en-byte RST n instruktion i Z80 interruptmod 0.

The user can read the current contents of the down-counter register by an INP instruction.

Användarprogrammet kan läsa värdet i ned-räknar-registret med en INP instruktion.

Example of CTC programming

Initiate the CTC-1 as a timer, starting to count down at the rising edge of a pulse on the CTC-1 Trigg-input. The timer shall count the system clock pulses, scaled down with the factor 256. The down-counter start value is 15, making the counter count $256 \cdot 15$ clock pulses before initiating an interrupt and outputting a signal (time-out) on the CTC-1 output. The address to the interrupt routine is stored in the memory position OF2H,OF3H for the CTC-1. The interrupt vector written to CTC-0 is then OF0H, while the I-register in the CPU must be set to 00 and the interrupt mode 2 selected.

Write to CTC0: port 30H.

NOTE! Always CTC0

Interrupt vector: OF0H

Set CPU I-reg. to 00.

LI A,00

LR I,A

Select interrupt mode 2.

IM 2

Write to CTC1: port 31H.

Channel control byte OBDH
(Interrupt ON, Timer, Prescaler 256, Rising edge, Trigger on, Start value follows)

Time constant byte: 15

Exempel på CTC programmering.

Initiera CTC-1 som tidtagare, som ska starta nedräkningen vid en uppåtgående signal på CTC-1 Trigg-ingång. Kretsen ska räkna systemklockan, nedskalad med faktorn 256. Startvärdet för nedräknaren är 15, vilket ger en nedräkning med $256 \cdot 15$ klockpulser innan interrupt genereras och en signal (time-out) sändes på CTC-1 utgången. Adressen till interruptrutinen ligger i minnesadressen OF2H-OF3H för CTC-1. Interrupt vektorn, som ska skrivas till CTC-0, blir då OF0H, medan I-registret i Z80-CPU sättes till 00 och interrupt mod 2 väljs.

Skriv till CTC0: port 30H.

OBS! Alltid CTC0

Interrupt vektor: OF0H

Sätt CPU I-reg. till 00.

LI A,00

LR I,A

Välj interrupt mode 2.

IM 2

Skriv till CTC1: port 31H.

Kanalkontrollbyte: OBDH
(Interrupt ON, Tidtagare, Prescaler 256, Positiv flank, Trigger ON, Startvärde följer)

Räknarens startvärde: 15

PIO CONTROL + EXAMPLE

NOTE! Below is only a short description. The user needs the ZILOG PIO product spec. in addition to this datasheet.

Programming the PIO is done by writing control bytes to the specified ports.

Each port (A and B) can operate in the modes 0,1 and 3. Only port A can operate in mode 2, using also the control lines belonging to port B.

Mode 0: Output with handshake
Mode 1: Input with handshake
Mode 2: Bidirectional(handshake)
Mode 3: 8 bits I/O(No handshake)

PIO-STYRNING + EXEMPEL

OBS! Nedanstående beskrivning är ej fullständig. Användaren behöver även ZILOGs produktbeskrivning över PIO.

PIO programmeras genom att skriva kontrollbytes till de specificerade portarna.

Varje port (A och B) kan användas i mod 0,1 och 3. Endast port A kan använda mod 2, som även använder handskakningslinjerna för port B.

Mod 0: UT med handskakning
Mod 1: IN med handskakning
Mod 2: IN/UT med handskakning
Mod 3: 8bits In/Ut utan handsk.

Mode select byte:

D7	D6	D5	D4
M1	M0	x	x

Bits 6-7 indicate the mode.

I/O-direction byte.(Must follow the mode select byte, but only if mode 3 is selected).

Port lines whose bits are 0", will be outputs, while "1" indicates inputs.

Interrupt vector. Bit 0 = 0. (only if used).

Port A and B has separate vectors. As bit 0=0 the Z80 interrupt mode 0 can not be used.

Interrupt control byte. (only if used).

D7	D6	D5	D4
1/ Int.	AND/	High/	Mask
0 enable	OR	low	follows

Interrupt mask byte.(only if D4=1 in the interrupt control byte).

Only those port lines, whose mask bits are "0" will be monitored for interrupt.

Mod-vals-byte:

D3	D2	D1	D0
1	1	1	1

Bitarna 6-7 indikerar moden.

I/O-riktningsdefinition (Måste följa direkt efter modvalsbyten, men endast vid mod 3).

I/O-linjer, vars bit satts till "0" definieras som utgångar, medan "1" indikerar ingångar.

Interrupt vektor. Bit 0 = 0. (endast om den används).

Port A och B har skilda vektorer. Då bit 0=0 kan ej Z80 interrupt mod 0 användas.

Interrupt kontroll byte. (endast om den används).

Interrupt mask byte.(endast om D4=1 i interruptkontrollbyten).

Endast de I/O-linjer, vars mask bitar är "0" kommer att kunna generera interrupt.

Alternative Interrupt ON/OFF.

Alternativt Interrupt AV/PÅ.

D7	D6	D5	D4	D3	D2	D1	D0
Int.	x	x	x	0	0	1	1
enable							

This control byte does not change the old values of the interrupt control byte.

Denna kontrollbyte ändrar inte de gamla värdena i interrupt kontrollregistret.

Example of PIO programming

Exempel på PIO programmering

For a complete example, see the 1003-H (Appendix 1). The 1003-H is a program in assembler, using the PIO in bit control mode.

För ett komplett exempel, se 1003-H (Appendix 1). 1003-H är ett assembler-program, som använder PIO i bit mod.

Initiate the PIO port A to input/output without handshake (mode 3), with the databits 0,1,2,3 programmed as outputs while the bits 4,5,6,7 are inputs. Bits 6 and 7 are monitored for interrupt if any of them goes low.(OR). The interrupt mode shall be set to mode 2 and the address to the interrupt service routine shall be stored at the memory address 2000H. Thus the I-register in Z80 shall be set to 20H and the PIO-A interrupt vector shall be 00.

Initiera PIO port A till in/ut utan handskakning (mod 3), med databitarna 0,1,2,3 programmerade som utgångar medan bitarna 4,5,6,7 är ingångar. Bitarna 6 och 7 skall ge interrupt om någon av dem blir låga.(OR). Interrupt moden skall vara mod 2 och adressen till interrupt subrutinen skall lagras i minnesadress 2000H. Då ska I-registret i Z80 vara satt till 20H och interrupt-vektorn i PIO-A skall vara 00.

Write to port 39H (PIOA CTRL)
Interrupt vector: 00

Skriv till port 39H (PIOA-CTRL)
Interrupt vektor: 00

Set CPU I-reg. to 20H.

LI A,20H

LR I,A

Select interrupt mode 2.

IM 2

Sätt CPU I-reg. till 20H.

LI A,20H

LR I,A

Välj interrupt mod 2.

IM 2

Write to port 39H (PIOA-CTRL)
Mode select byte: 0CFH
(Mode 3)

Skriv till port 39H (PIOA-CTRL)
Modvalsbyte: 0CFH
(Mod 3)

I/O-direction byte: 0FOH
(Bits 0-3:OUT,Bits 4-7:IN)

I/O-rikningsdef. 0FOH
(Bit 0-3:UT, Bit 4-7:IN)

Interrupt control: 097H
(Interrupt ON,OR,Low,Mask follows).

Interrupt kontroll: 097H
(Interrupt ON,OR,Låg,Mask följer).

Interrupt mask: 03FH
(Monitor bits 6 OR 7)

Imerrupt mask: 03FH
(Interrupt för bit 6 eller 7)

CODE INPUT CONTROL

STYRNING AV KODINLÄSNING

The I/O-pins 9A,10A,....16A are directly connected to the internal databus.

I/O-stiften 9A,10A,....16A är direkt anslutna till den interna databussen.

An INP 8 instruction pulls the strobe (pin 18A) active low, while the CPU reads the databus.

En INP 8 instruktion drar stroben (stift 18A) aktivt låg, medan CPU läser databussen.

By wiring ONE jumper between the strobe (18A) and ONE of 9A,...16A, the CPU reads a byte with one bit set to "0" and all other bits "1". DO NOT connect the databus bits with each other.

Genom att vira EN bygel mellan stroben (18A) och EN av 9A,....16A, läser CPU en byte med en bit satt till "0" och alla andra bitar "1". BYGLA EJ samman databitar med varandra.

If a general 8-bit value shall be read, a logical gate must be installed close to the I/O-connector (within 50mm), activated by the strobe.

Om ett generellt 8-bitars värde skall läsas måste en logisk grind installeras nära I/O-kontakten (inom 50mm), och aktiveras av stroben.

I/O-PIN NUMBERING

I/O-STIFTSNUMRERING

The '*' after a signal name indicates that the signal is active low.

Stjärnan '*' efter ett signalnamn indikerar att signalen är aktivt låg.

INT*	30A	In	External interrupt	Extern interrupt
			Parallel to bus-	Parallell med
			interrupt.	buss-interrupt.
INT	29A	Out	External interrupt	Extern interrupt.
CTCO-Trigg	5B	In	IN= Counter pulses	IN=Räknepulser
CTCO-OUT	6B	Out	or Timer start.	eller start
CTC1-Trigg	6A	In	pulse.	puls till timer.
CTC1-OUT	7B	Out	OUT=Zero count	UT=Nedräkning till
CTC2-Trigg	7A	In	or Timeout.	noll eller
CTC2-OUT	8B	Out	(Active high	Timeout-puls.
CTC3-Trigg	8A	In	pulse)	(Aktivt hög)
PIO-A RDY	28B	Out	A-Ready	A-Ready
PIO-A STB*	26B	In	A-Strobe	A-Strobe
PIO-A Data0	25B	In/Out	Data port A	Data port A
Data1	24B	In/Out	_"_	_"_
2	23B			
3	22B			
4	21B			
5	20B			
6	19B			
Data7	18B		_"_	_"_
PIO-B RDY	29B	Out	B-Ready	B-Ready
PIO-B STB*	27B	In	B-Strobe	B-Strobe
PIO-B Data0	28A	In/Out	Data port B	Data port B
Data1	27A		_"_	_"_
2	26A			
3	25A			
4	24A			
5	23A			
6	22A			
Data7	21A		_"_	_"_
Code Strobe*	18A	Out	INP 8 strobe	INP 8 strobe
Code Data0	16A	In	Databus direct	Databuss direkt
Data1	15A		_"_	_"_
2	14A			
3	13A			
4	12A			
5	11A			
6	10A			
Data7	9A		_"_	_"_
Signal ground and power,			Signaljord och spänningar,	
driven from the system supply.			tagna från systemets kraft.	
+12V	32A/32B			
+ 5V	31A/31B			
0V	2A/2B	Signal ground	Signaljord	
-12V	1A/1B			

JUMPERS

BYGLINGAR

The jumpers S1,S2,S3,S4,S5,
S6 and S7 select the memory
type and size.

Byglingarna S1,S2,S3,S4,S5,
S6 och S7 väljer minnestyp
och storlek.

Pure EPROM sockets	ByteWyde socket	S1	S2	S3	S4	S5	S6	S7
2 * 2716 (0-4K)	2K RAM (62-64K)	ON	ON	ON	ON	OFF	ON	OFF
2 * 2732 (0-8K)	2K RAM	OFF	ON	ON	OFF	ON	ON	OFF
2 * 2764 (0-16K)	2K RAM	ON	OFF	ON	OFF	ON	ON	OFF
No EPROM	2K RAM (62-64K)	OFF	OFF	ON	x	x	ON	OFF
2 * 2716 (0-4K)	2716 *(4-6K)	ON	ON	OFF	ON	OFF	OFF	ON
2 * 2732 (0-8K)	2732 (8-16K)	OFF	ON	OFF	OFF	ON	OFF	ON
2 * 2764 (0-16K)	2764 (16-24K)	ON	OFF	OFF	OFF	ON	OFF	ON
No on-board memory		OFF	OFF	OFF	x	x	x	x

*) Not 4 MHz

x = Don't care = Betydelselös

External RAM cards, like the
2055 8K RAM card, can be
place in parallel with the
internal RAM. then the internal
RAM is used for 62-64K and the
external for 56-62K.

Externa RAM-kort, såsom 2055
8K RAM, kan placeras parallellt
med det interna RAM-et. Det
interna RAM-et används då för
62-64K och det externa för
56-62K.

The jumper S8 disconnects the
watch-dog.

Bygling S8 kopplar bort
watch-dog.

S8 ON Watch-dog disconnected.
S8 OFF Enable watch-dog.

S8 ON Watch-dog urkopplad.
S8 OFF Watch-dog inkopplad.

The jumpers S9 and S10 connects
the external interrupts.

Byglingarna S9 och S10 ansluter
externa interrupt.

S9:ON S10:OFF disables the
external interrupts.
S9:OFF S10:ON connects the
external interrupts with lowest
priority in the "daisy-chain".

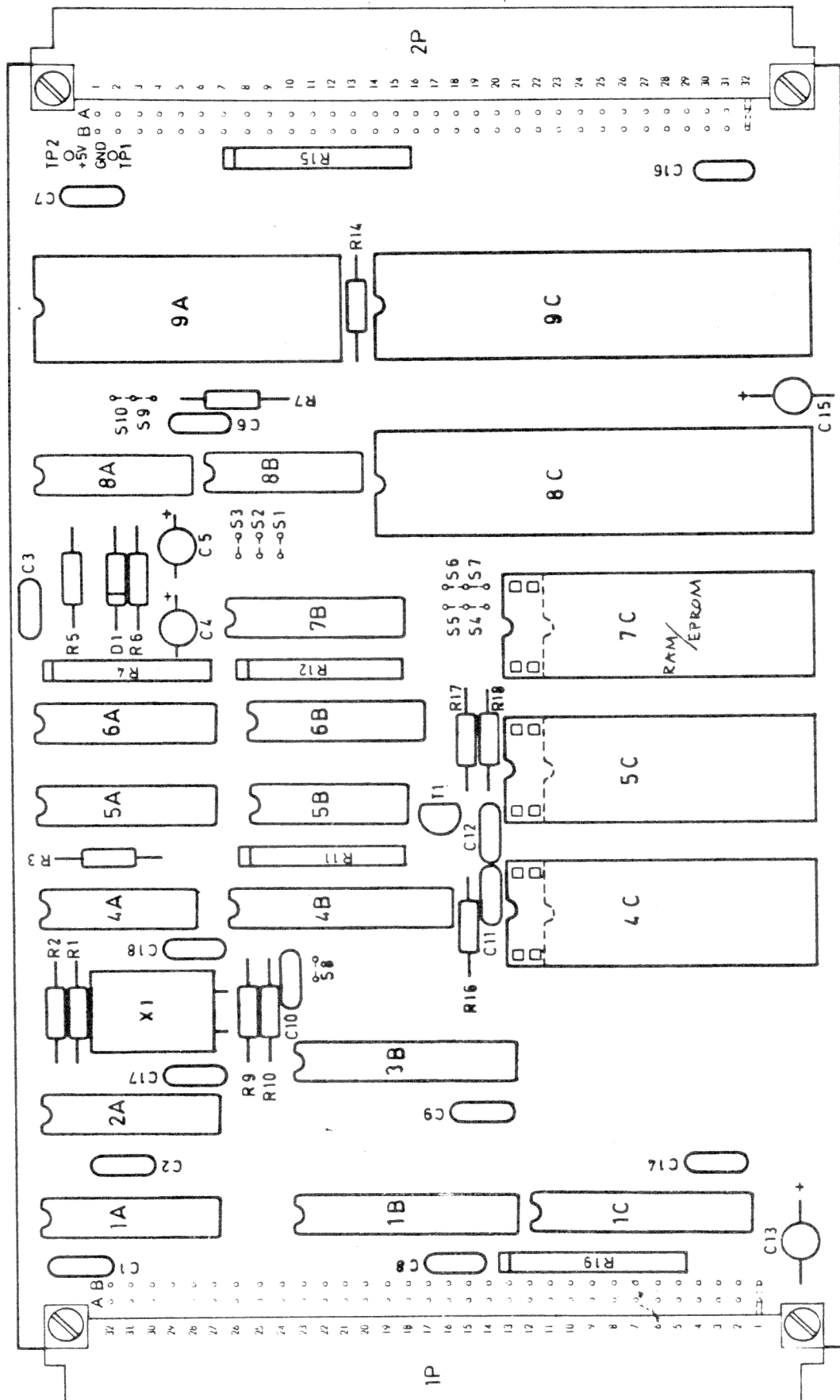
S9:ON S10:OFF kopplar bort
externa interrupt.
S9:OFF S10:ON kopplar in
externa interrupt med lägsta
prioritet i kedjan.

Functional compatibility with
the 1057 Singleboard computer,
requires S9:ON and S10:OFF.

Funktions kompatibilitet
med enkortsdatoren 1057
kräver S9:ON och S10:OFF.

COMPONENT LAYOUT

KOMPONENTPLACERING



PROM type	RAM pos	Strap				
		1	2	3	4	5
2716	2M RAM	c	c	c	c	c
2732	2M RAM	c	c	c	c	c
2764	2M RAM	c	c	c	c	c
0	2M RAM	c	c	c	c	c

x = don't care
o = open
c = closed

P2:CEPIO1ST.TST

PLC	B	KOD	ARG	LC	STATEMENT	-----
0000				1	CEPIO1ST	PROG ===== HOW TO USE THE PIO IN BIT CONTROL MODE
				2	*	
				3	*	
				4	*	
				5	*	CE 79-03-05
				6	*	
				7	*	
				8	*	
0000				9		RADIX 16
0000				10		EJECT

P2:CEPI0TST.TST

	PLC	B	KOD	ARG	LC	STATEMENT	
10	E023		216EE0		48	LA	HL,SIRING
	E026		2201E1		49	STD	HL,SIRPNT
12					50 *		
	E029		FB		51	EI	
14	E02A				52	EJECT	TURN ON MAIN SWITCH

P2:CEPI0TST.TST

PLC	B	KOD	ARG	LC	STATEMENT
				86 *	SIMPLE NONSENS INTERRUPT ROUTINE
				87 *	
				88 *	
E059			E059	89	PIOSERV EQU *
E059		08		90	EXR A
E05A		3A00E1		91	L A,PIOINT
E05D		B7		92	OR A
E05E		2005		93	JNZS NOTSERV NO
E060		3EFF		94	LI A,OFFH YES
E062		3200E1		95	ST A,PIOINT
E065			E065	96	NOTSERV EQU *
E065		08		97	FXR A
E066		FB		98	EI
E067		ED4D		99	RTI
E069				100	EJECT

P2:CEPI0TST.TST

	PLC	B	KOD	ARG	LC	STATEMENT	
10	BEGIN		E00G	21	40	127	
	BEGIN1		E006	30	22		
12	CLDAISY		E00E	36	38		
	CS		0001	116	77		
14	DATA		0000	117	83		
	LOOP		E02A	58	61	84	
18	NOTEND		E043	71	69		
	NOTSERV		E065	96	93		
14	PI0B.BLK		E069	104	42		
	PI0B.CMD		0038	115	43		
20	PI0INT		E100	123	47	59	91 95
	PI0SERV		E059	89	26		
22	RTI		E004	28	37		
	STACK		E121	126	33		
24	STAT		0001	118	79		
	STREND		E077	113	66		
26	STRING		E06E	111	48	70	
	STRPNT		E101	124	49	65	74
20	VFC.PI0B		E002	25	105		
30	WAIT		E04E	78	81		